

## 明 細 書

## 半導体デバイスおよびその製造方法

## 技術分野

- [0001] 本発明は、高周波信号処理を行うことができる半導体デバイスおよびその製造方法に関し、より詳しくは半導体基板上に少なくとも高周波信号処理回路領域を含む半導体デバイスとその製造方法に関するものである。

## 背景技術

- [0002] モバイルコンピューティングの進展により、シリコンチップに無線通信機能(RF通信機能)を持たせる必要が生じている。従前のシリコンチップにおいては、CMOSTランジスタを含むCMOSゲートが形成され、これらのCMOSゲートからなるデジタル論理による信号処理のみが行われていた。これに対し、RF通信機能はアナログ信号処理に向けられ、信号増幅といったCMOSTランジスタのアナログ処理機能に加え、インダクタといった受動素子を利用する受信波の増幅機能や、パルス発生器、パルス遅延回路などを利用する送信機能を持つ。

より具体的には、通信端末装置は、図26に示すように、シリコン半導体チップ内に、LNA(Low noise amplifier)61a、送信信号生成回路61b、及び、スイッチ回路61cを備えて無線信号の送受信を行うRF通信回路領域61と、これらのアナログ信号をデジタル信号に転換するA/D変換回路62a、デジタル信号処理回路62b、及び、信号処理を行ったデジタル信号を再びアナログ化するD/A変換回路62cからなるデジタルベースバンド(BB)領域62とを少なくとも有する。実際には、さらにSRAMやDRAMからなるメモリ領域が必要となるが、ここでは図示していない。

- [0003] CMOSTランジスタの増幅機能は、微細加工の進展により大きく改善されており、RF領域のアナログ信号処理を可能ならしめる程度に達している。しかし、アナログ回路は、LCR回路構成を必要とし、特にシリコン半導体チップ上に形成される高性能・小型インダクタの技術開発には以下に述べる技術課題があり、その実用化が遅れている。図27に、シリコン半導体チップ上に形成されるインダクタの上面模式図とその等価回路を示す。インダクタはシリコン半導体チップ上に形成される多層配線を利用し

て形成される。

- [0004] まず、インダクタの損失を考えない場合、インダクタのインダクタンス $L$ は、下記の式(1)で与えられる。

$$L \propto \mu \times n^2 \times r \quad \dots(1)$$

ここで、 $\mu$  : インダクタ形成領域の透磁率、 $n$  : 巻き線数、 $r$  : 巻き線の最大半径である。

多層配線間の絶縁分離には、シリコン酸化膜が用いられており、透磁率は真空の透磁率 $\mu_0$ と仮定できる。式(1)によれば、 $L=100\text{nH}$ を得るには、巻き線数 $n=26$ 、インダクタの一辺 $2r=250\mu\text{m}$ 程度が必要となる。通常のインダクタ部品と比較すれば非常に小さなものであるが、通常のロジックチップにおいては大面積を占有してしまう。従って、インダクタを多数RF回路内に用いることは困難である。インダクタの寸法を変更することなくインダクタンス $L$ を増加させることは、インダクタ形成領域の透磁率を上げることにより実現できる。式(1)は、高透磁率材料を導入することで実現できることを示している。

- [0005] 式(1)では、インダクタのインダクタンス( $L$ )に注目したものである。インダクタは、図27にシリコン半導体チップ上のインダクタの等価回路で示すように、電力損失因子があり、回路の高周波特性を阻害する。たとえば、多層配線から形成されるインダクタ線路の抵抗( $R_s$ )は、インダクタが巨大となれば線路長が増大するため、無視できない電力消費の原因となる。また、インダクタ線路間の結合容量( $C_p$ )による電荷充放電による損失、さらには、インダクタとシリコン半導体基板とのカップリング容量( $C_{ox}/2$ )による損失、さらにはシリコン基板内のpn接合容量による損失も、無視できない電力消費の原因となる。

上記損失以外の因子として、インダクタからの高周波磁場変動による誘導電流(渦電流)に起因する、シリコン基板を介したノイズ伝搬および損失がある。このノイズ伝搬現象は、インダクタのみならずシリコン半導体基板上のRF回路に共通した技術問題である。この基板ノイズを低減するには、基板抵抗( $R_1$ )を増大させかつ基板容量( $C_1$ )を小さくすることが重要である。なお、基板抵抗 $R_1$ は、基板の比抵抗 $\rho$ と基板厚 $t_{\text{sub}}$ とにより決定される。

- [0006] 上記のような技術背景のもと、シリコン半導体基板上に高性能インダクタを形成する

ための技術開発が進められている。第1の従来技術として、インダクタ形成領域のシリコン基板に溝(トレンチ)を形成し、溝をシリコン酸化膜等で埋め込む技術が提案されている(例えば、特開2000-77610、特開2002-93622、特開2000-40789参照)。

図28は、特開2000-77610にて提案されたオンチップインダクタの断面図である。同図に示すように、シリコン基板71に格子状に溝を形成し、この溝部にシリコン酸化膜72を埋め込み、そして溝形成領域上にインダクタ73を形成している。シリコン基板71にシリコン酸化膜72を埋め込むことで、インダクタ形成領域の容量( $C_1$ )およびインダクタ線路と基板とのカップリング容量( $C_{ox}/2$ )を低減し、インダクタのリーク電流の低減と誘導電流の低減とを実現している。

[0007] また、特開2002-93622には、インダクタを構成する渦巻き型配線の配線間および外周に対して、シリコン基板に渦巻き状トレンチを形成し、その内部を絶縁性物質(酸化シリコン)で充填した素子が記載されている。

また、特開2000-40789には、シリコン基板上に多層配線を利用してインダクタを形成し、シリコン基板表面から掘り込んだ開口部に絶縁物(二酸化シリコン、窒化シリコン)と真性ポリシリコンを埋め込むことで、インダクタの形成領域にシリコン基板表面を起点とし基板内部に対して板状の絶縁膜と浅いトレンチ状の絶縁膜が形成する技術が記載されている。

上記特許文献に記載された技術は、いずれもシリコン基板表面を基点として、基板を掘り込みその内部を絶縁物で埋め込んでいる。

[0008] 第2の従来技術として、インダクタ形成領域に強磁性ないし軟磁性材料を埋め込んで巻線周囲の透磁率を高めインダクタンスの増大を図る技術が提案されている(例えば、特開2001-284533参照)。すなわち、特開2001-284533には、図29に示されるように、シリコン基板81上の絶縁膜82内にインダクタ83の巻線を形成し、巻線の中心部(およびその周辺部)の絶縁膜内に鉄コバルト合金などの強磁性体金属からなる磁気コア84を配置する技術が開示されている。

[0009] また、特開平2001-284533号公報には、複数の配線層を用い、第1の配線層と第2の配線層を電氣的に並列に接続し、インダクタ配線の低抵抗化を図る技術が記

載されている。

発明の開示

発明が解決しようとする課題

- [0010] 従来の技術はともに、シリコン基板上に形成されるインダクタの性能向上を目的として提案されたものであるが、以下に述べる問題がある。第1の従来技術では、いずれの場合も溝ないしトレンチはシリコン基板表面から掘り込まれている。そして、溝ないしトレンチを埋め込む絶縁材料としては酸化シリコンや窒化シリコンなどの比較的比誘電率の高い材料が想定されている。浮遊容量を低減するには低誘電率の絶縁膜を埋め込むことが効果的であるが、従来技術では、絶縁膜の埋め込み後にトランジスタの形成工程が予定されているため、低誘電率の絶縁膜の埋め込みができない。低誘電率絶縁膜としては例えばシリコン酸化膜中の酸素をメチル基などの有機基によって一部置換した有機シロキサン膜や該有機シロキサン膜内に5nm $\phi$ 以下の微小空孔を分散させたポーラス絶縁膜等が知られているが、低誘電率絶縁膜の耐熱性は一般に500℃以下程度である。一方、トランジスタ形成にはゲート絶縁膜形成や不純物注入後の活性化アニールなどの700℃以上の高熱処理工程が必要となるため、トランジスタ形成前にインダクタ形成領域に絶縁膜を埋め込んでおく構造の場合、必然的に埋め込み絶縁膜としては高耐熱性を有するシリコン酸化膜等に限定されてしまう。よって、第1の従来技術では、基板に係る寄生容量を十分に低減することはできなかった。
- [0011] また、第1の従来技術では、基板電流の低減を目的の一つとしているが、トレンチ深さとシリコン基板厚さの関係、すなわちトレンチ深さをシリコン基板厚のどの程度まで掘り込むかという点については何らの考慮も払われていない。シリコン基板は不純物がドーピングされており低抵抗であるため、基板厚が大きい場合には十分に基板電流を低減することができない。すなわち、ノイズと損失を十分に低減することができない。
- [0012] 上述した第2の従来技術では、深さに対して広い面積を有する開口が設けられ、この開口が強磁性体によって埋め込まれている。ここで、埋め込み強磁性体の埋め込み深さに対して断面積径が大きい場合、この強磁性体領域を通過する磁場の変動による渦電流による損失が大きくなる。この渦電流を小さくするためには断面積を小さく

くする必要があるが、断面積を単に小さくしただけでは磁心領域の被覆面積が小さくなり、磁束密度の向上効果が期待できない。

さらに、インダクタの損失を減らすにはインダクタ線路間のカップリング容量( $C_p$ )を減らす必要もある。前記特開2001-284533には、磁気コアを軟磁性粒子をポリイミドによって固めたものによって構成する実施例も記載されているものの、 $C_p$ の低減に関しては何の考慮も払っておらず、磁性体を固定するのに比誘電率3以上の有機接着剤(ポリイミド)を用いるに留まっている。

[0013] また、同じく特開平2001-284533号公報では、2層の配線層を電氣的に並列に接続することにより、インダクタ配線の抵抗損失を低減できるとしているが、下層の配線層をインダクタ配線として用いることにより、寄生容量が増加してしまうという課題があった。すなわち、より基板に近い下層の配線層を用いることにより、基板との距離が近くなってしまう、図27に示す等価回路における配線と基板との寄生容量 $C_{ox}$ が増加してしまう、インダクタの性能を劣化させてしまうという課題があった。

[0014] 本願発明の目的は、上述した従来技術の課題を解決することであって、半導体基板上に少なくとも高周波信号処理回路領域を含む半導体デバイスにし、高周波帯域での損失およびノイズ低減を可能とし、かつ特に受動素子であるインダクタの小型化と損失低減化を可能ならしめる半導体デバイスを提供することである。

#### 課題を解決するための手段

[0015] 上記の目的を達成するため、本発明は、その第1の視点において、低容量基板領域を有する半導体基板と、該半導体基板の表面領域に形成されたトランジスタと、該トランジスタ上に配設される、複数の層間絶縁膜及び複数の配線層を有する多層配線構造とを備える半導体デバイスにおいて、前記低容量基板領域には、少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る複数の基板開口が形成されていることを特徴とする半導体デバイスを提供する。

好ましくは、前記基板開口内には低誘電率絶縁物が埋設される。また、一層好ましくは、前記基板開口の長さが前記半導体基板の厚さの半分以上であるか、前記基板開口が前記半導体基板を貫通している。

[0016] 上記の目的を達成するため、本発明は、その第2の視点において、半導体基板と、

該半導体基板の表面領域に形成されたトランジスタと、該トランジスタ上に配設される、複数の層間絶縁膜及び複数の配線層を有する多層配線構造とを備え、前記層間絶縁膜中に高透磁率領域が配設される半導体デバイスにおいて、前記高透磁率領域が、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達するアスペクト比(深さ/直径または一辺の長さ)が1以上の開口が、導電性を有する高透磁率材料で埋め込まれて形成された複数の高透磁率磁性体ロッドを有することを特徴とする半導体デバイスを提供する。

[0017] 上記の目的を達成するため、本発明は、その第3の視点において、酸化物系 前記高透磁率領域が、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達する開口が絶縁性を有する高透磁率材料で埋め込まれて形成された複数の絶縁性高透磁率磁性体ロッドを有することを特徴とする半導体デバイスを提供する。

[0018] 好ましくは、前記絶縁性を有する高透磁率材料が、低誘電率絶縁材料と、導電性を有する高透磁率材料または絶縁性を有する高透磁率材料とからなる複合材料である。絶縁性を有する高透磁率材料は、例えば酸化物系高透磁率材料である。導電性を有する高透磁率材料には、例えば、NiFe系の二元合金、及びこれにMo、Cr、Cu、Co等の元素を添加した多元系合金、すなわち一般にパーマロイ系材料と呼称されるものや、Fe-Co系合金、Ni-Co系合金、Fe-Al系合金、或いはセンダストと呼称されるFe-Al-Si系合金、及びそれらに微量の他元素を添加したもの、更には、アモルファス系材料として、FeP系、FeB系合金、及びそれらに他元素を添加したものや、非晶質化元素としてSiBを用いたものとしてはFeSiB、NiSiB、CoSiB、CoFeSiB、CoFeNiSiB、CoFeMoSiB、CoFeNiNbSiB、CoFeMnSiB等の材料、或いは、Co系スパッタ薄膜のアモルファス材料としては、Co-(Zr,Hf,Nb,Ta,Ti)系、または数%のFe、Mn、Niを添加した金属-金属系合金、例えばCoFePbAl、CoMnB、CoMoZr、CoTaZr、CoNbZr、CoNbTi、CoFeNb、CoMnNb、等があげられる。また、FeTaNやFeTaC等の、グラニュー膜状の物質を用いても良い。

酸化物系高透磁率材料には、例えば、化学式 $MFe_2O_4$  (Mは、例えば $Mn^{2+}$ 、 $Ni^{2+}$ 、 $Cu^{2+}$ 等の2価の金属イオンを表す)で表される、いわゆる一般にフェライトと呼称される材料や、或いは前記フェライト材料と $ZnFe_2O_4$ 等の非磁性酸化物との混合物である複合

フェライトと呼称される物質、例えばMn-Znフェライト、Mg-Feフェライト、Cu-Znフェライト、Cu-Zn-Mgフェライト、Ni-Cu-Znフェライト等をあげることができる。更には、MHz帯からGHz帯といった比較的高い周波数で利用できるMn-Mgフェライト、Mn-Mg-Alフェライト、Niフェライト、Ni-Znフェライトや、YIG ( $\text{Y}_2\text{Fe}_5\text{O}_{12}$ )、或いはYIGに微量の他元素を添加したAl系YIG、Gd系YIG、Ca系YIG、Nb YIG等のガーネット型フェライトや、六方晶系型のBaフェライトおよびBaフェライトに微量の他元素を添加した物質、更にはNi-Coフェライトや、Ni-Cu-Co-Feフェライト等も、好ましい例としてあげられる。

これら高透磁率材料の例は、本発明を好ましい形態で実施するための一例であり、上記高透磁率材料の例により、本願発明は制限を受けるものではなく、また、上記軟磁性体の例に列記した物質においては、その組成比などは考慮されておらず、これによっても本願発明は制限されるものではない。

[0019] 上記の目的を達成するため、本発明は、その第4の視点において、低容量基板領域を有する半導体基板と、該半導体基板の表面領域に形成されたトランジスタと、該トランジスタ上に配設される、複数の層間絶縁膜及び複数の配線層を有する多層配線構造とを備える半導体デバイスにおいて、前記低容量基板領域には少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る基板開口が複数個形成されており、前記低容量基板領域上には、少なくとも2層以上の複数の層にわたる配線層が形成されることを特徴とする半導体デバイスを提供する。

[0020] 上記の目的を達成するため、本発明は、その第5の視点において、半導体基板と、該半導体基板の表面領域に形成されたトランジスタと、該トランジスタ上に配設される複数の層間絶縁膜及び複数の配線層を有する多層配線構造とを備え、前記層間絶縁膜中に高透磁率領域が配設される半導体デバイスの製造方法であって、

- (1) 半導体基板上にトランジスタを形成する工程と、
  - (2) 前記低容量基板領域に少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る基板開口を複数個形成する工程と、
  - (3) 前記開口内を絶縁物により埋め込む工程と、
  - (4) 前記半導体基板の裏面を研削する工程と、
- をこの順に有することを特徴とする半導体デバイスの製造方法を提供する。

## 発明の効果

[0021] 本発明の半導体デバイスの好適な態様では、インダクタ形成領域下の半導体基板内に低誘電率膜を埋設した低誘電率絶縁体ロッドを配置しさらに基板厚を薄くしている。この構成により、インダクタと基板との間の容量結合を低く抑えることができると共に基板に誘導される電流を低減することができる。

また、インダクタ形成領域に、高いアスペクト比を有する開口内を軟磁性材料にて埋め込んだ高透磁率材料ロッドを設けることとすれば、渦電流を抑制しつつインダクタの小型化を実現することができる。

[0022] インダクタ形成領域の開口内を軟磁性材料(高透磁率材料)と低誘電率材料との混合材を埋設する構成を採用すれば、インダクタの小型化を実現できるとともに巻線間容量を低減することができる。本構成によれば、インダクタを含むRF回路を低損失かつ小型化することができ、デジタル信号処理機能と高性能のRF回路を混載した半導体チップを実現することができる。

本発明では、半導体基板に特に限定はないが、CMOSデバイスの形成されたシリコン半導体基板に対しては、低誘電率絶縁膜ロッドを埋め込んだ領域を形成することで、本質的に低抵抗材料であるシリコン基板の一部に高抵抗かつ低誘電率な低RFノイズ伝播領域を任意の位置に形成できる。なお、多層配線構造には、2層以上の配線層を有する配線構造が含まれる。

## 図面の簡単な説明

- [0023] [図1]本発明の第1の実施形態の半導体装置を示す断面図。  
[図2]本発明の第2の実施形態の半導体装置を示す断面図。  
[図3]低誘電率材料が埋設される開口の配置状態の第1の例を示す平面図。  
[図4]低誘電率材料が埋設される開口の配置状態の第2の例を示す平面図。  
[図5]本発明の第3の実施形態の半導体装置を示す断面図。  
[図6]本発明の第4の実施形態の半導体装置を示す断面図。  
[図7]本発明に係る半導体デバイスを複数個搭載した装置の使用状態を例示するブロック図。  
[図8]本発明の第1の実施例の半導体装置の平面図と断面図。

[図9]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図10]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図11]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図12]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図13]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図14]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図15]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図16]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図17]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図18]本発明の第1の実施例の半導体装置の製造方法の一工程段階を説明するための平面図と断面図。

[図19]本発明の第2の実施例の半導体装置の平面図と断面図。

[図20]本発明の第3の実施例の半導体装置の断面図。

[図21]本発明の第4の実施例の半導体装置の断面図。

[図22]本発明の第5の実施例の半導体装置の断面図。

[図23]本発明の第6の実施例の半導体装置の断面図。

[図24]本発明の第7の実施例の半導体装置の断面図。

[図25]本発明の第8の実施例の半導体装置の断面図。

[図26]送・受信機能を備えた典型的な半導体チップのブロック図。

[図27]半導体基板上に形成されたインダクタの平面図とその等価回路図。

[図28]第1の従来技術の断面図。

[図29]第2の従来技術の断面図。

[図30]本発明の第5の実施の形態を示す断面図。

[図31]複数の配線層が、ビアを介して電氣的に並列に接続されていることを示す上面図。

[図32]本発明の第6の実施の形態を示す断面図。

[図33]複数の配線層の端部同士が、ビアを介して電氣的に直列に接続されていることを示す上面図。

[図34]複数の配線層の端部同士が、ビアを介して電氣的に直列に接続されていることを示す上面図。

[図35]複数の配線層の端部同士が、ビアを介して電氣的に直列に接続されていることを示す上面図及び断面図。

[図36]複数の配線層の端部同士が、ビアを介して電氣的に直列に接続されていることを示す上面図及び断面図。

[図37]複数の配線層の端部同士が、ビアを介して電氣的に直列に接続されていることを示す上面図及び断面図。

[図38]複数の配線層の端部同士が、ビアを介して電氣的に直列に接続されていることを示す上面図及び断面図。

[図39]本発明の第7の実施の形態を示す断面図。

[図40]本発明の第8の実施の形態を示す断面図。

[図41]本発明の第9の実施の形態を示す断面図。

[図42]本発明の第7の実施の形態を製造するための工程断面図。

[図43]本発明の第7の実施の形態を製造するための工程断面図。

[図44]本発明の第7の実施の形態を製造するための工程断面図。

[図45]本発明の第7の実施の形態を製造するための工程断面図。

[図46]本発明の第8の実施の形態を製造するための工程断面図。

[図47]本発明の第8の実施の形態を製造するための工程断面図。

[図48]本発明の第8の実施の形態を製造するための工程断面図。

[図49]本発明の第9の実施の形態を製造するための工程断面図。

[図50]本発明の第9の実施の形態を製造するための工程断面図。

[図51]本発明の第9の実施の形態を製造するための工程断面図。

[図52]低誘電率材料が埋設される開口の配置状態の第3の例を示す平面図。

[図53]本発明の第1の実施の形態において、インダクタのQ値の低誘電率充填部材の埋め込み深さ依存性を説明するための説明図。

[図54]本発明の第1の実施の形態において、インダクタのQ値の低誘電率充填部材の埋め込み深さ依存性を説明するための説明図。

### 発明の実施の形態

[0024] 次に、本発明の実施の形態に基づいて図面を参照して本発明を更に詳細に説明する。図面を通して、同様な要素には同様な参照符号が付される。

図1を参照すると、本発明の第1の実施の形態に係る半導体チップは、高周波アナログ信号の処理を行うRF回路領域100と、デジタル信号の処理を行うデジタル回路領域200とを有する。半導体基板51上には、複数の層間絶縁膜を含む積層絶縁構造52が形成されている。RF回路領域100の積層絶縁構造52内には、多層配線を利用して例えばスパイラル構造のインダクタ53が設けられる。RF回路領域100には、少なくとも1層の層間絶縁膜を貫通し半導体基板51の内部に到達する開口が設けられ、該開口内部には、比誘電率がシリコン酸化膜のそれよりも低い低誘電率充填部材54が埋め込まれている。開口は、基板と垂直方向に見て、円形、又は、四角形などの多角形であってもよい。さらには、図52に示すように、六角形状の開口を充填率を高くするべく配置する、いわゆるハニカム(蜂の巣)構造としても良い。このときの六角形の形状としては、正六角形に限るものではなく、例えば図52に示すような形状、すなわち、一組の対向する角が各々、90度であるような六角形、であっても良い。図52に示した六角形の形状は、現在一般に用いられている半導体デバイスの設計上の制約、すなわち、設計上許容される線が、ある基準面に対して0度、45度、90度に限られる、という制約によるものである。もちろん、実際に形成される開口部形状は、露光やエッチング等、製造上のばらつきの影響を受けるため、設計上は90度として

も、実際に形成される開口部形状のなす角度は、必ずしも正確に90度になるとは限らず、例えば80度から100度程度となる。上記六角形開口をハニカム状に配置した構造は、基板平面に対する開口部の充填率を高めることができ、かつ、基板の機械強度を保てる点で、好ましい。さらには、前記開口は、溝状の開口であってもよい。溝状の開口の場合、溝同士が交差するように形成されていてもよい。開口内に埋め込まれた低誘電率充填部材54は、酸化シリコン中の酸素をメチル基などの有機基によって一部置換した有機シロキサン(MSQ)膜や、この有機シロキサン膜内に5nmφ以下の微小空孔を分散させたポーラス絶縁膜等で形成されてもよい。低誘電率充填部材54の望ましい比誘電率は3以下である。

半導体基板51に対する前記低誘電率部材54の埋め込み深さに制限を加えるものではないが、半導体基板の実効的な高抵抗化の観点からは、製造プロセスに許容される範囲内で、可能な限り深くすることがより好ましい。低誘電率材料の埋設性等、実際の製造プロセスに起因した制約により、低誘電率部材54の充填深さを制限する場合は、前記低誘電率部材54の基板内深さは2μm以上、好ましくは5μm以上であることがより好ましい。図53は、半導体基板51の表面から、低誘電率充填部材54の埋め込み深さを、それぞれ(a)2.5μm、(b)5μm、(c)10μm、(d)20μm、とした模式図が示されている。図53(a)には、積層絶縁膜52及びインダクタ53が図示されている。上記積層絶縁膜52、及びインダクタ53については、図53(b)、(c)、(d)に対しても図53(a)と同じく形成されているものとし、特に図示しない。また、低誘電率充填部材54の基板表面から図面上方向への高さ、及び積層絶縁膜内部における最上面の位置、等については、本願発明の第7、第8及び第9の実施の形態に詳細に記載してあるため、図53においては特に説明しない。すなわち、図53の説明図においては、前記低誘電率充填部材54の、基板深さ方向への埋め込み深さを説明の対象とするものである。図53(e)は、上記(a)、(b)、(c)、(d)構造それぞれについて、最上層配線層に配置したオンチップインダクタ53のQ値の周波数依存性を示したものである。低誘電率充填部材54を埋め込んでいない構造と比較して、(a)、(b)、(c)、(d)それぞれの構造において、各々Q値が向上しており、また、低誘電率充填部材54の埋め込み深さが深いほど、Q値の向上率が高い。

また、半導体基板51として、例えば、米国電気学会主催 1998年8月 ラジオ アンド ワイヤレス カンファレンス 会議録 第305頁(Proceedings of IEEE Radio and Wireless Conference, 1998. RAWCON 98 p.305)、に開示されているような、抵抗率の異なる複数の層からなる半導体基板を用いる場合には、前記低誘電率部材54は、半導体基板表面から、低抵抗エピタキシャル層の中間程度の深さまで達していることが好ましい。さらには、低抵抗エピタキシャル層の最下端まで達していることが、より好ましい。さらに好ましくは、前記低誘電率部材54の下端が、低抵抗エピタキシャル層を貫通し、最下層をなす支持基板に達していることが好ましい。図54を参照すると、高抵抗エピタキシャル層104、低抵抗エピタキシャル層105、及び高抵抗支持基板106からなる、前記抵抗率の異なる複数の層からなる半導体基板107に対して、低誘電率充填部材54の埋め込み深さを、半導体基板表面から、それぞれ(a)  $2.5\ \mu\text{m}$ 、(b)  $5\ \mu\text{m}$ 、(c)  $10\ \mu\text{m}$ 、(d)  $20\ \mu\text{m}$ 、とした模式図が示されている。図54(a)には、積層絶縁膜52及びインダクタ53が図示されている。上記積層絶縁膜52、及びインダクタ53については、図54(b)、(c)、(d)に対しても図54(a)と同じく形成されているものとし、特に図示しない。また、低誘電率充填部材54の基板表面から図面上方向への高さ、及び積層絶縁膜内部における最上面の位置、等については、本願発明の第7、第8及び第9の実施の形態に詳細に記載してあるため、図54においては特に説明しない。すなわち、図54の説明図においては、前記低誘電率充填部材54の、基板深さ方向への埋め込み深さを説明の対象とするものである。図54(e)は、上記(a)、(b)、(c)、(d)構造それぞれについて、最上層配線層に配置したオンチップインダクタ53のQ値の周波数依存性を示したものである。低誘電率充填部材54を埋め込んでいない構造と比較して、(a)、(b)、(c)、(d)それぞれの構造において、各々Q値が向上しており、低誘電率充填部材の埋め込み深さが深いほど、Q値の向上率が高い。さらには、埋め込み深さを $10\ \mu\text{m}$ 以上にする事で、特にQ値の向上率が高くなっていることがわかる。これは、低誘電率充填部材の埋め込み深さを $10\ \mu\text{m}$ とした場合、低誘電率充填部材が前記低抵抗エピタキシャル層を貫通する構造となるため、該低抵抗エピタキシャル層に発生する渦電流を、より低減できているためであると考えられる。従って、半導体基板として、前記抵抗率の異なる複数の層からなる半導体基板を用いる

場合には、低誘電率充填部材54の埋め込み深さは、前記低抵抗エピタキシャル層を貫通する深さよりも深いことが、より好ましい。

製造上の制約により、前記低誘電率部材54の深さが、低抵抗エピタキシャル層の最下端まで達していなくとも、本願発明によれば、基板容量を低減できることはもちろんのこと、基板抵抗を実効的に高抵抗化することができ、かつ、半導体基板内に発生する渦電流の主要経路となる半導体基板と金属配線との距離を物理的に離すことができるため、本願発明の目的とする効果を得ることができる。

[0025] 低誘電率充填部材54は、特に、半導体チップの周辺部に沿って埋め込むようにし、その上にオンチップアンテナ配線を形成するようにしてもよい。オンチップアンテナ配線は、例えば“I”字状、“L”字状、“U”字状または多重ループに形成される。

インダクタ53の巻線配線あるいはオンチップアンテナ配線を含む多層配線が形成された後、半導体基板の裏面は研削され、半導体基板51は、その厚さが低誘電率充填部材54を埋め込むための開口の半導体基板内の深さの2倍以下となるように、薄層化される。これにより基板の高抵抗化が実現され基板電流の低減が可能になる。

[0026] 図2を参照すると、本発明の第2の実施の形態に係る半導体装置は、本実施形態では、半導体基板が低誘電率充填部材54を埋め込むための開口の底面が露出するまでに研磨されている点を除いて、第1の実施の形態に係る半導体装置と同様である。本実施形態では、半導体基板の一層の高抵抗化が実現される。

[0027] 低誘電率充填部材54の平面的な配置は、正方格子点配置、斜め方向配列〔図11(a)参照〕などの規則的な配列であってもよい。或いは、図3に示すように、不規則な配列とすることもできる。低誘電率充填部材54をランダムに配置することにより、RF回路領域に平面的に見て直線的な電流経路が形成される確率を低めることができ、実効的に基板抵抗 $R_1$ を増大させることができる。また、図4に示すように、低誘電率充填部材54を規則的に配置しつつ、RF回路領域での全幅または全長に渡る直線的な電流経路の形成を防止するようにしてもよい。さらには、六角形状の開口を充填率を高くするべく配置する、いわゆるハニカム(蜂の巣)構造としても良い。

[0028] 低誘電率充填部材54を格子状に形成された溝に埋め込むことにより、RF回路領

域において電流経路が形成されるのを完全に抑えるようにすることもできる。しかし、このような基板を分断する構造は基板の機械的な強度を脆弱化するため、基板厚が薄い場合には避けた方がよい。

- [0029] 図5を参照すると、本発明の第3の実施の形態においては、RF回路領域100上に、高透磁率領域300が設けられている。高透磁率領域300においては、複数の層間絶縁膜を有する積層絶縁構造52中に、インダクタ53の巻線の中心部およびその周囲に、一つの層間絶縁膜を貫通して他の層間絶縁膜に到達する開口が設けられ、その開口を高透磁率磁性材料で埋め込んでなる高透磁率部材55が形成される。ここで、埋め込まれる高透磁率磁性材料が導電性を有するバルク形態のものであるとき、誘導電流の低減のために、開口は、そのアスペクト比(深さ／直径または一辺の長さ)が1以上である条件に設定される。埋め込まれる高透磁率磁性材料が絶縁性材料であるとき、あるいは下記のように軟磁性材料の微粒子を絶縁性材料(望ましくは低誘電率絶縁材料)と混合したものであるとき、このような条件は不要である。
- [0030] さらに、インダクタ53の巻線間の浮遊容量を低減するために、開口内は高透磁率磁性材料とともに低誘電率絶縁材料が埋め込まれるようにしてもよい。この場合、高透磁率部材55は低誘電率絶縁材料に高透磁率磁性材料微粉末が分散された材料が開口内に埋め込まれたものとする。望ましい絶縁性材料としては、上述の有機シロキサン膜やこの有機シロキサン膜内に微小空孔を分散させたポーラス絶縁膜等が挙げられる。
- [0031] 高透磁率部材55は、開口内に高透磁率磁性体微粉末が分散された低誘電率絶縁材料によって埋め込む方式に代え、開口内壁面をスパッタ法、CVD法やメッキ法等を用いて高透磁率材料膜にて被覆し、残りの開口内空間を低誘電率材料にて埋め込むようにしてもよい。
- [0032] 高透磁率部材55が、導電性バルク材料によって構成されるとき、高透磁率部材55が形成される領域に大口径の開口を形成し該開口内を低誘電率絶縁材料によって埋め込んでもよい。この場合、低誘電率絶縁材料層に高透磁率材料充填用開口を形成し、この開口に軟磁性体材料をスパッタ法や電解メッキ法などにより埋め込むようにしてもよい。高透磁率部材55は、インダクタ形成領域以外の領域に設けるように

してもよい。この場合、高透磁率部材55は磁気シールドの機能を果たすことになる。

- [0033] 図6を参照すると、本発明の第4の実施の形態は、本実施形態例では、高透磁率部材55が、基板面に垂直な高透磁率部材55のロッド部材55aの他にロッド部材55a上を覆いロッド部材55aを連結するプレーン部材55bを備えている点を除いて、第3実施の形態と同様である。高透磁率部材55にプレーン部材55bを設けたことにより、インダクタ53の巻線周囲の透磁率が高まり、インダクタンスの一層の増大ないしインダクタ53の一層の小型化が可能になる外、他の配線の誘導電流を軽減させることができる。

図示された例では、高透磁率部材55のプレーン部材55bはロッド部材55aの上部に設けられているが、ロッド部材55aの下部に設けるようにしてもよい。あるいは、ロッド部材55aの上部および下部の双方にプレーン部材を設けるようにしてもよい。

- [0034] 第1ないし第4の実施の形態を備えた半導体デバイスによれば、インダクタの小型化と高性能化が可能となり、かつ小型化・高性能化された受動素子とCMOS回路などの能動素子とを1チップ上に混載できる。よって、本願発明による半導体デバイスでは、損失やノイズ伝搬が抑制されたRF回路とデジタル回路(SRAMなどのメモリ部も含む)との混載チップの実現が可能になる。

RF通信機能を混載したチップでは、チップ間の信号のやり取りを無線USB化や無線WLAN化あるいはUWB通信化することも可能となる。従来、複数のデジタル論理チップから構成されるシステムを構成する場合、複数のチップをプリント配線基板に実装していたが、そのプリント配線基板内の信号遅延や信号カップリングなどの問題を解決するための設計工数に莫大な時間と費用を必要としていた。

- [0035] 本発明に係る半導体デバイスによれば、図7に示すように、RF通信回路領域61とデジタルベースバンド62とをそれぞれ複数搭載しさらにメモリ領域63を設けたRF回路・デジタル回路混載のチップ60を複数用意しておき、これらのチップ間の信号伝達を無線で行うことが可能になる。このため、プリント配線基板は低ノイズの電源供給に特化することができ、設計工数を大幅に低減できる。また、チップ配置の制限も大幅に緩和される。

- [0036] 図30は、本発明の第5の実施の形態を示す構造図である。本発明の第5の実施の

形態によれば、前記低容量基板上に、少なくとも2層以上の複数の配線層85が形成され、該配線層の全域にわたって複数のビアプラグ86が形成されており、複数の配線層が電氣的に並列に接続されたインダクタが形成されている。符号19は、インダクタの磁心およびその周辺を含む領域に形成された高透磁率分離領域である。

[0037] インダクタ配線部分の上面図及びその断面を図31に示す。複数層の配線層87〜89を相互に接続するビアプラグ86a、86bが示されている。図31の説明図では、インダクタ85の平面形状としてスパイラル型を用いて説明しているが、インダクタ85の形状として公知の円形や八角形型のものを用いても良い。通常、ビアプラグの個数は、半導体デバイスの形成プロセス、或いは設計上の制約により、その形状、大きさ、配列、或いは配置可能な個数、等が制限される。並列に相互接続した配線層の抵抗値を低減するためには、複数の配線層同士を、設計上許容されうるできるだけ多くのビアプラグにより相互接続することが好ましい。説明図31に示したビアプラグ86a、86bの数は、通常用いられる半導体デバイスの形成プロセス、及び設計上の制約が許容しているビアの数よりも明らかに少ないが、これは本発明の原理を概念図として説明するためであり、説明図31におけるビアプラグの配列、形状、及び個数等により、本発明は何ら制限されるものではない。

[0038] 複数の配線層を互いに並列に接続することは、電気回路理論の観点からは、1層のみの配線層を用いてインダクタを形成した場合と比較して、配線層を厚膜化したことに相当し、これによりインダクタ配線の抵抗損失が低減できる。複数の配線層を用いることにより、最上層1層のみの配線層を使用した場合と比較して配線層と基板との距離が近くなり、配線層と基板間の容量が増加してしまうが、本願発明によれば、基板に低容量基板領域が形成されているため、容量増加の影響を抑制することができる。従って、複数の配線層の相互並列接続により抵抗損失を低減し、かつ容量増加を抑制したインダクタ素子を得ることができる。

[0039] 図32は、本発明の第6の実施の形態を示す構造図である。本発明の第6の実施の形態によれば、前記低容量基板上に、少なくとも2層以上の複数の配線層の端部同士が、複数のビア86により、電氣的に直列に接続されたインダクタ91が形成されている。インダクタ配線部分の上面図を図33に示す。図33の説明図では、インダクタ91

の平面形状としてスパイラル型を用いて説明しているが、インダクタの形状として公知の円形や八角形型のものを用いても良い。複数の配線層87, 88を互いに直列に接続することは、インダクタ配線の配線長を長くすることに相当し、配線層1層のみを使用してインダクタを形成した場合と比較して、より小さい占有面積で、同値のインダクタンスを持つインダクタ素子を形成することができる。複数の配線を用いることにより、最上層1層のみの配線層を使用した場合と比較して配線層と基板との距離が近くなり、配線層と基板間の容量が増加してしまうが、本願発明によれば、基板に低容量基板領域が形成されているため、容量増加の影響を抑制することができる。従って、チップ内に占める面積を低減し、かつ容量増加を抑制したインダクタ素子を得ることができる。

[0040] 本実施の形態により、複数の配線層が、互いに上下に位置する場合には、両者の間に寄生容量が発生する。すなわち、前記寄生容量は、図27の等価回路で示される配線間容量 $C_p$ に相当する。この寄生容量を低減するため、上下の配線層87, 88の配線幅を異なる幅にすることにより、配線間に発生する寄生容量を低減することができる。さらには、直列接続によって1つのインダクタ素子を形成する複数の配線層のうち、互いに上下の位置関係にある配線同士は、その間に負の相互インダクタンスの発生を防ぐため、上下の配線層同士の電流方向が、互いに対向しないような配置にすることがより好ましい。図33から図38に、かかる目的を達成するための多層配線の配置例を示す。

[0041] 通常、ビアプラグ86の個数は、半導体デバイスの形成プロセス、或いは設計上の制約により、その形状、大きさ、配列、或いは配置可能な個数、等が制限される。ビアプラグによる接続部分の抵抗値を低減するためには、設計上許容されうるできるだけ多くのビアプラグにより、配線層同士を相互接続することが好ましい。説明図33から38に示したビアプラグの数は、通常用いられる半導体デバイスの形成プロセス、及び設計上の制約が許容しているビアの数よりも明らかに少ないが、これは本発明の原理を概念図として説明するためであり、説明図33から38におけるビアの配列、形状、及び個数等により、本発明は何ら制限されるものではない。

[0042] 図39に示す本発明の第7の実施の形態は、低容量基板領域を内包する半導体基

板上にダマシン法により銅を主成分とする金属配線を形成した半導体デバイスに適用される。第1層間絶縁膜4の上に、少なくともシリコンを含有し、第1層間絶縁膜4と比較して少なくとも1つ以上の異なる元素を含有する第1ストップ絶縁膜92及び第2ストップ絶縁膜93が形成されている。ここで、低容量基板領域の上に位置する第2層間絶縁膜9、第1ストップ絶縁膜92、及び第2ストップ絶縁膜93中に形成された第1金属配線10の底面が平坦である。

[0043] 本実施の形態については、多層配線の主形成材料として銅、及び銅を主成分とする合金を用いた場合に、その効果を得ることができる。銅及び銅を主成分とする配線構造は、主としてダマシン法と呼ばれる方法により形成されるが、本発明の第7の実施の形態によれば、多層配線の形成方法として、前記ダマシン法を用いる場合に、本実施の形態の効果を得ることができる。なお、本実施の形態においては、前記第6までの実施の形態と異なる点として、半導体基板内に形成された低容量基板領域の部分の構造のみが異なるため、当該部分のみを抜粋して説明する。また、銅を主成分とした配線材料、及びその形成方法としては、現在主流となっている材料、及び工程を想定しているが、本実施の形態においては銅を主成分とした配線の材料、構造及び製造工程は本発明に対して影響を与えないため、銅を主成分とする配線の形成方法の詳細については、特に言及しない。以下、図面を参照して本発明の第7の実施の形態について詳細に説明する。

[0044] 図39において、第1層間絶縁膜4の上に、少なくともシリコンを含有し、第1層間絶縁膜4と比較して、少なくとも1つ以上の異なる元素を含有する第1ストップ絶縁膜92及び第2ストップ絶縁膜93が形成されている。ストップ絶縁膜としては、少なくともシリコンを含有し、低誘電率絶縁体ロッド8の構成材料である低誘電率膜7のCMPを行う際と、第2層間絶縁膜9のプラズマエッチングを行うに際して、十分な選択比が確保できる材料であることが好ましい。より詳しくは、第2層間絶縁膜9として、 $\text{SiO}_2$ 、或いは $\text{SiO}_2$ にボロンやリン等の元素をドーブした材料、或いはシリコン酸化膜の酸素の一部を水素やメチル基に置き換えたものや、さらには炭素添加したシリカ( $\text{SiOC}$ )や、 $\text{SiOCH}$ などの、シリコン酸化膜よりも低い比誘電率を持つ材料を用いる場合には、ストップ絶縁膜92及び93としては、少なくともシリコンと窒素を含有する材料がより好ましく、例とし

てはSiNやSiON、或いはSiCNなどがあげられる。また、低誘電率絶縁膜7として、シリコン酸化膜の酸素の一部を水素やメチル基に置き換えたものや、さらには炭素添加したシリカ(SiOC)や、SiOCHなどの、シリコン酸化膜よりも低い比誘電率を持つ材料を用いる場合には、ストップ絶縁膜92及び93としては、少なくともシリコンと窒素を含有する材料がより好ましく、例としてはSiNやSiON、或いはSiCNなどがあげられる。ストップ絶縁膜92及び93は、構成元素及びその比率が同様の、すなわち同一の絶縁膜材料であっても良く、この場合は、図37に示した第1ストップ絶縁膜92と第2ストップ絶縁膜93との界面は、走査型電子顕微鏡や透過型電子顕微鏡を用いても、明瞭に観察できないことがある。さらに本実施の形態においては、前記低容量基板領域の上に位置する第1ストップ絶縁膜92、第2ストップ絶縁膜93、及び第2層間絶縁膜9中に形成された第1金属配線10の底面が平坦であることを特徴とし、前記金属配線層10の直下に位置する低誘電率絶縁体ロッドと、前記金属配線層10の直下に位置しない低誘電率ロッドとの最上表面が、互いに同一平面上に位置しない。

また、本第7の実施の形態は、本願発明の第1から第6の実施の形態において、多層配線材料として銅及び銅を主成分とした合金を用いる場合に対して同時に適用できるものである。

[0045] 本発明の第8の実施の形態は、前記低容量基板領域を内包する半導体基板上にダマシン法により銅を主成分とする金属配線を形成した半導体デバイスに適用される。第1層間絶縁膜4の上に、少なくともシリコンを含有し、第1層間絶縁膜4と比較して少なくとも1つ以上の異なる元素を含有する第1ストップ絶縁膜92及び第2ストップ絶縁膜93が形成され、前記低容量基板領域の上に位置する第2層間絶縁膜9、第1ストップ絶縁膜92、及び第2ストップ絶縁膜93中に形成された第1金属配線10の底面が平坦であり、前記低容量基板領域に位置する低誘電率膜ロッド8の開口上部に、低誘電率膜ロッド8よりも高い比誘電率、及び機械強度を有するキャップ絶縁膜94が、低誘電率絶縁体ロッドの上端に形成されている。

[0046] 本実施の形態については、多層配線の主形成材料として銅、及び銅を主成分とする合金を用いた場合に、その効果を得ることができる。銅及び銅を主成分とする配線構造は、主としてダマシン法と呼ばれる方法により形成されるが、本発明の第8の実

施の形態によれば、多層配線の形成方法として、前記ダマシン法を用いる場合に、本実施の形態の効果を得ることができる。なお、本実施の形態においては、前記第6までの実施の形態と異なる点として、半導体基板内に形成された低容量基板領域の部分の構造のみが異なるため、当該部分のみを抜粋して説明する。また、銅を主成分とした配線材料、及びその形成方法としては、現在主流となっている材料、及び工程を想定しているが、本実施の形態においては銅を主成分とした配線の材料、構造及び製造工程は本発明に対して影響を与えないため、銅を主成分とする配線の形成方法の詳細については、特に言及しない。以下、図面を参照して本発明の第8の実施の形態について詳細に説明する。

[0047] 図40は、本発明の第8の実施の形態を示す構造図である。本実施の形態においては、第1層間絶縁膜4の上に、少なくともシリコンを含有し、第1層間絶縁膜4と比較して、少なくとも1つ以上の異なる元素を含有する第1ストップ絶縁膜92及び第2ストップ絶縁膜93が形成されている。ストップ絶縁膜としては、少なくともシリコンを含有し、低誘電率絶縁体ロッド8の構成材料である低誘電率膜7、及び第2層間絶縁膜9のプラズマエッチングを行うに際して、十分な選択比が確保できる材料であることが好ましい。より詳しくは、第2層間絶縁膜9として、 $\text{SiO}_2$ 、或いは $\text{SiO}_2$ にボロンやリン等の元素をドーブした材料、或いはシリコン酸化膜の酸素の一部を水素やメチル基に置き換えたものや、さらには炭素添加したシリカ( $\text{SiOC}$ )や、 $\text{SiOCH}$ などの、シリコン酸化膜よりも低い比誘電率を持つ材料を用いる場合には、ストップ絶縁膜92及び93としては、少なくともシリコンと窒素を含有する材料がより好ましく、例としては $\text{SiN}$ や $\text{SiON}$ 、或いは $\text{SiCN}$ などがあげられる。また、低誘電率絶縁膜7として、シリコン酸化膜の酸素の一部を水素やメチル基に置き換えたものや、さらには炭素添加したシリカ( $\text{SiOC}$ )や、 $\text{SiOCH}$ などの、シリコン酸化膜よりも低い比誘電率を持つ材料を用いる場合には、ストップ絶縁膜92及び93としては、少なくともシリコンと窒素を含有する材料がより好ましく、例としては $\text{SiN}$ や $\text{SiON}$ 、或いは $\text{SiCN}$ などがあげられる。ストップ絶縁膜92及び93は、構成元素及びその比率が同様の、すなわち同一の絶縁膜材料であっても良く、この場合は、図40に示した第1ストップ絶縁膜92と第2ストップ絶縁膜93との界面は、走査型電子顕微鏡や透過型電子顕微鏡を用いても、明瞭に観察できないことがある。

[0048] 本実施の形態においては、前記低容量基板領域に位置する低誘電率膜ロッド8の開口上部に、低誘電率膜ロッド8よりも高い比誘電率、及び機械強度を有するキャップ絶縁膜94が、低誘電率絶縁体ロッドの上端に形成されている。

本実施の形態においては、前記低容量基板領域の上に位置する第1ストップ絶縁膜92、第2ストップ絶縁膜93、及び第2層間絶縁膜9中に形成された第1金属配線10の底面が平坦であることを特徴とし、前記金属配線層10の直下に位置する低誘電率絶縁体ロッドの上部に形成されたキャップ絶縁膜の最上部面と、前記金属配線層10の直下に位置していない低誘電率ロッド上部のキャップ絶縁膜の最上部面とが、互いに同一平面上に位置しない。

また、本第8の実施の形態は、本願発明の第1から第6の実施の形態において、多層配線材料として銅及び銅を主成分とした合金を用いる場合に対して同時に適用できるものである。

[0049] 本発明の第9の実施の形態によれば、多層配線の主形成材料として、現在主流に用いられているアルミ、或いは微量のシリコン或いは微量の銅を含有するアルミを用いた場合に、本発明の効果を得ることができる。なお、本実施の形態においては、前記第6までの実施の形態と異なる点として、半導体基板内に形成された低容量基板領域の部分の構造、及び主配線材料のみが異なるため、当該部分のみを抜粋して説明する。また、アルミ配線材料、及びその形成方法としては、現在主流となっている材料、及び工程を想定しているが、本実施の形態においてはアルミ配線の材料、構造及び製造工程は本発明に対して影響を与えないため、詳細については言及しない。以下、図面を参照して本発明の第9の実施の形態について詳細に説明する。

[0050] 図41(a)及び(b)は、本発明の第9の実施の形態を示す構造図である。本実施の形態においては、低誘電率絶縁体ロッド8の最上部面が、Wコンタクトプラグ5の最上部面よりも低い位置に位置していることを特徴とし、前記低容量基板領域を形成する低誘電率絶縁体ロッド8の開口上部に、低誘電率絶縁体ロッド8よりも高い比誘電率、及び機械強度を有するキャップ絶縁膜94が、低誘電率絶縁体ロッドの上端に形成されている。通常用いられているアルミ配線の形成においては、Wコンタクト5の接続部が露出している第1層間絶縁膜4上に、チタン等を含有する金属化合物、及び少なくとも

もアルミを含有する主配線材料をスパッタリング法等により堆積した後、フォトリソトによるパターンニングを行い、プラズマエッチングにより所望の配線形状を形成する。低誘電率ロッド8の上部が露出した表面に対して金属のスパッタリングを行ったり、エッチングプラズマにさらした場合、スパッタリングした金属が低誘電率ロッド内に拡散してしまったり、エッチングプラズマにより低誘電率ロッドを構成する低誘電率材料の一部元素が乖離することなどにより、低誘電率材料の比誘電率が上昇する、などの変質が起こる場合がある。本実施の形態の効果は、キャップ絶縁膜94により、低誘電率ロッド8の上面部を、スパッタリングやエッチングプラズマから保護することで、前記低誘電率材料の変質を抑止できる点にある。また、本第9の実施の形態は、本願発明の第1から第6の実施の形態において、多層配線材料としてアルミ、或いはアルミを主成分とした金属化合物を用いた場合に対して、同時に適用できるものである。

#### 実施例

[0051] 次に、本発明の好ましい実施例について図面を参照して詳細に説明する。

##### (第1の実施例)

図8(a)は、本発明の第1の実施例を示す平面図であり、図8(b)は、図8(a)のA-A'線の断面図である。シリコン半導体基板上にRF回路領域(高周波信号処理回路領域)100とデジタル回路領域200が設けられている。シリコン基板1上のシャロートレンチ素子分離膜2によって分離された領域内にMOSFET3が形成され、CMOS回路が構成されている。RF回路領域100のシリコン基板内には、低誘電率絶縁物が埋設された低誘電率絶縁体ロッド8が複数配置されている。本実施例においては、低誘電率絶縁体ロッド8は、CMOSTランジスタと多層配線とを絶縁分離する第1の層間絶縁膜を貫いてシリコン基板内部に到達している。すなわち、低誘電率絶縁体ロッドは、すべてのCMOSTランジスタ形成工程を終了した後に、別な言い方をすればCMOSTランジスタ形成に必要なすべての高温熱処理工程終了後に、形成されている。このため、シリコン酸化膜よりも低誘電率な絶縁膜を埋設することが可能になっている。

[0052] シリコン基板1は、すべてのデバイス形成工程が終了後研削され、本実施例では低誘電率絶縁体ロッド8の底面が現れるまで研磨され、薄くなっている。薄い基板構造

により、シリコン基板の実効抵抗を増加させ、かつ低誘電率絶縁体ロッドの配置により低容量基板領域とすることで、基板を伝搬するノイズを低減させ、また損失を低減させている。

[0053] MOSFET3のソース・ドレイン領域は、第1層間絶縁膜4内に設けられたタングステン(W)コンタクトプラグ5を介して、第2層間絶縁膜9内に埋設された第1層銅配線10に引き出されている。その上には、第2層銅配線12が埋設された第3層間絶縁膜11、第3層銅配線14が埋設された第4層間絶縁膜13が形成されている。低誘電率絶縁体ロッド8が配置された低容量基板領域内には、第3層銅配線14と第2層銅配線12とを用いてインダクタ40が形成されている。低容量基板領域内にインダクタを設置することで、インダクタと基板間とのカップリング容量( $C_{ox}/2$ )を低減させ、インダクタ損失を低減させている。

[0054] 第4層間絶縁膜13上には、第5層間絶縁膜15が形成されており、RF回路領域10の第5層間絶縁膜15には凹部が設けられ、さらに第5層間絶縁膜15と第4層間絶縁膜13を貫通する開口が設けられ、これらの凹部および開口内に、NiFe合金を主体とする軟磁性体が埋め込まれて、高透磁率分離領域19が形成されている。高透磁率分離領域19は、インダクタ40の磁心およびその周辺を含む領域に形成されている。これにより、インダクタの小型化が可能になる。インダクタの小型化は、インダクタ線路長の減少をもたらし、 $R_s$ および $C_{ox}/2$ をも低減させる。すなわち、インダクタの小型化は、単に面積占有率を低減させるだけでなく、その性能をも向上させている。この高透磁率分離領域は、インダクタ形成領域以外の領域にも形成可能であり、その場合、RF回路素子の磁場シールドとしての機能を果たす。第5層間絶縁膜15上はカバー膜20により覆われている。

[0055] 次に、製造工程段階での状態を示す図9～図18を参照して第1の実施例の半導体装置の製造方法について説明する。なお、図9～図18のそれぞれにおいて、(a)は平面図、(b)はそのA-A'線の断面図である。

図9に示すように、シリコン基板1の表面に素子形成領域1Aを除いて300nmから500nm深さの浅い開口部を形成し、この開口部にシリコン酸化膜を埋め込むことでシャロートレンチ素子分離膜2を形成する。次いで、図10に示すように、素子形成領域

1Aにpおよびnウェル(図示せず)を形成し、ゲート絶縁膜成長、ゲート電極形成、拡散層形成およびそのシリサイド化を行い、デジタル回路用CMOS回路およびRF回路用CMOS回路を構成するMOSFET3を形成する。さらに、シリコン酸化膜を堆積し、CMPで平坦化して第1層間絶縁膜4を形成した後、ゲート電極と拡散層にいたるビアホールを形成し、タングステンを埋め込んでWコンタクトプラグ5を形成する。デジタル回路用CMOSとRF回路用CMOSのゲート絶縁膜にマルチオキサイドを用いてもよい。また、HfSiOなどのHigh-kゲート絶縁膜を用いてもよい。肝要なことは、このトランジスタ形成工程で、700℃以上の高温熱処理工程をすべて終了させておくことである。

[0056] 次に、必要に応じて50nm厚程度のシリコン酸化膜(図示せず)を形成した後、図11に示すように、RF回路領域100の第1層間絶縁膜4と素子分離膜2を貫き、シリコン基板1内部に到る開口6を形成する。開口6の形状や深さに対して制限はないが、たとえば開口径が1〜3 $\mu\text{m}$ でその深さが5〜30 $\mu\text{m}$ である。また、開口の配列の仕方にも制限はないが、例えば斜め方向配列である。開口は溝形状のものを含んでもよい。さらには、六角形状の開口を充填率を高くするべく配置する、いわゆるハニカム(蜂の巣)構造としても良い。

その後、図12に示すように、開口6を埋めるように、低誘電率絶縁膜7を形成する。低誘電率絶縁膜の材料は特に限定はないが、少なくともシリコン酸化膜よりも比誘電率が小さいことが必要である。例えば、シリコン酸化膜の酸素の一部を水素に置き換えたラダーオキサイドやメチルに置き換えたMSQなどの塗布絶縁膜が使用可能である。また、炭素添加したシリカ(SiOC)やSiOCHなどのプラズマCVD膜であってもよい。さらには、絶縁膜中に10nm以下の空孔が分散しているポーラス膜であってもよい。また、これらの低誘電率絶縁膜で開口6のすべてを埋設するのではなく、まず開口の壁面に熱CVD法やオゾン酸化CVD法やプラズマCVD法により薄いシリコン酸化膜やシリコン窒化膜を成長させた後、低誘電率絶縁膜を埋め込むようにしてもよい。

次に、図13に示すように、層間絶縁膜上の低誘電率絶縁膜をCMP法により除去することで、開口内部に低誘電率絶縁膜が埋め込まれた低誘電率絶縁体ロッド8がシリコン基板内に形成される。なお、ここでは第1層間絶縁膜4上のすべての低誘電

率絶縁膜7をCMPで除去した場合を示したが、その一部を残して多層配線間の分離絶縁膜として利用することもできる。

[0057] 次に、第2層間絶縁膜9を成長させ、さらにWコンタクトプラグ5の頂部を露出させる配線溝を形成する。この配線溝にTa/TaNやTiWなどの25nm厚程度のバリアメタルおよび100nm厚程度のシード銅膜を成長させ、シード銅膜を電極として電解メッキ法で銅膜を成長させる。CMPで銅膜およびバリアメタル膜を選択的に除去することで、図14に示すように、第2層間絶縁膜9内にダマシン構造の第1層銅配線10を形成する。なお、第2層間絶縁膜9の材料には特に制限はなく、シリコン酸化膜やラダーオキサイド、MSQ、SiOCHさらにはポーラス膜であってもよい。銅ダマシン配線の表面には、銅拡散を防止するSiCNやSiCなどのキャップ膜(図示せず)が形成される。

[0058] その後、絶縁膜の成長と配線溝およびビアホールの開設と配線溝およびビアホールへの銅膜の埋め込みを繰り返すことで、図15に示すように、第2層銅配線12が埋設された第3層間絶縁膜11、第3層銅配線14が埋設された第4層間絶縁膜13を有する多層配線を形成する。本実施例においては、第3層銅配線14、第2層銅配線12を用いてインダクタ40を形成している。インダクタを形成する配線層数には制限はないが、少なくともシリコン基板に埋め込まれた低誘電率絶縁体ロッド8が配列されている低誘電率基板領域上に位置している必要がある。このインダクタの配置により、インダクタと基板とのカップリング容量( $C_{ox}/2$ )を低減し、損失を少なくできる。

[0059] 次に、図16に示すように、インダクタを形成した配線層上に第5層間絶縁膜15を成長させる。そしてRF回路領域100上の第5層間絶縁膜15表面に凹部16を形成し、さらに第5層間絶縁膜15、第4層間絶縁膜13を貫き、第3層間絶縁膜11に到達する開口17を形成する。なお、第5層間絶縁膜15の表面をシリコン酸窒化膜で覆っておいてもよい。

[0060] その後、図17に示すように、凹部16および開口17を埋め込む軟磁性体材料膜18を第5層間絶縁膜15を覆うように形成する。軟磁性体材料膜18としては、スパッタ法により堆積したTa/TiW(TiWが下層)をバリアメタルとし、その上にFeNi膜を電解メッキ法により成長させる。バリアメタルとFeNiの間に1nm〜10nm程度のRu、Irなど

のバッファ金属を挟み込んでもよい。また、軟磁性体材料膜は、NiFeなどの軟磁性金属や $(\text{Ni}, \text{Zn})\text{Fe}_2\text{O}_4$ などの軟磁性フェライトの微粒子を、ラダーオキシドやMSQやポーラス膜といった低誘電率絶縁膜に分散させた塗布膜を用いて形成してもよい。この場合、軟磁性体微粒子の粒子径は500nm $\phi$ 程度以下が望ましい。第5層間絶縁膜15上の軟磁性体材料膜18をCMPで除去することで、平坦なプレーン部材と基板面に垂直なロッド部材とを有する高透磁率分離領域19が形成される(図18)。このようにインダクタ磁心部に高透磁率領域を形成することで、小型化されたインダクタであっても、そのインダクタンス(L)を増加させることができる。例えば、NiFe合金膜の場合、比透磁率は10から100であり、インダクタンス同一として、面積比で1/5程度の小型インダクタの形成が可能になる。

その後、高透磁率分離領域19が形成された第5層間絶縁膜15上を覆うカバー膜20を形成し、シリコン基板の裏面を研削して低誘電率絶縁体ロッド8の底面を露出させると、図8に示す本実施例の半導体デバイスを得ることができる。

[0061] (第2の実施例)

図19(a)を参照すると、本発明の第2の実施例は、プレーン部材とロッド部とを有する高透磁率分離領域(19)に代えプレーン部材を有しない高透磁率分離ロッド21がインダクタの磁心およびその周囲に形成されている点と、低誘電率絶縁体ロッド8の底面が基板裏面から露出していない点を除いて、本実施例の図8に示す第1の実施例と同様である。

本実施例の製造方法は、図15に示す工程までは第1の実施例の場合と同様である。その後、インダクタ40を形成した配線層上に第5層間絶縁膜15を成長させ、インダクタ40の磁心およびその周囲に、第5層間絶縁膜15および第4層間絶縁膜13を貫き第3層間絶縁膜11に至る開口を形成する。開口の径は1 $\mu\text{m}\phi$ から2 $\mu\text{m}\phi$ が一般的であるが特に制限はない。ここで肝要なことは、開口の径に対して開口の深さが大きいこと、すなわちアスペクト比が1以上であることである。なお、第5層間絶縁膜の表面をシリコン酸窒化膜で覆っておいてもよい。

[0062] その後、バリア金属とNiFe軟磁性金属を成長させ、第5層間絶縁膜15上の金属膜をCMPで除去することで、インダクタの磁心およびその周囲に、第5層間絶縁膜1

5、第4層間絶縁膜13を貫き、第3層間絶縁膜に到達する高透磁率分離ロッド21が形成される。あるいは、 $(\text{Ni}, \text{Zn})\text{Fe}_2\text{O}_4$ などの軟磁性体の微粒子を低誘電率絶縁膜に分散させた塗布材料を塗布し、第5層間絶縁膜15上の塗布膜をCMPで除去して高透磁率分離ロッド21を形成するようにしてもよい。その後、カバー膜20を堆積し、シリコン基板1の裏面を研削すると本実施例の半導体デバイスが得られる。研削は、シリコン基板厚が、低誘電率絶縁体ロッドのシリコン基板内での長さの2倍以下になるようにシリコン基板を薄くするのがよい。例えば、 $3\mu\text{m}\phi$ で深さ $20\mu\text{m}$ の開口に比誘電率=2.5のMSQを埋め込んだ低誘電率絶縁体ロッドを $6\mu\text{m}$ ピッチで斜め方向に配列した場合、シリコン基板を $40\mu\text{m}$ まで研削・薄膜化すると、インダクタと基板間のカップリング容量を50%低減することができる。

[0063] (第3の実施例)

図20を参照すると、本発明の第3の実施例は、インダクタ40の巻線配線上の第5層間絶縁膜15内に第4層銅配線22を形成し、さらにその上に第6層間絶縁膜23を形成しその内部に第5層銅配線24を埋設した点を除いて、図8に示す第1の実施例と同様である。

[0064] 本実施例の製造方法は、第5層間絶縁膜15を形成するまでの工程は第1の実施例の場合と同様である。第5層間絶縁膜15を堆積した後、第5層間絶縁膜15に配線溝およびビアホールを開設し、銅膜の形成とCMPにより第4層銅配線22を形成する。その後第1の実施例と同様の方法を用いて高透磁率分離領域19を形成する。さらに、第6層間絶縁膜23、第5層銅配線24を形成しその上にカバー膜20を形成する。そして、シリコン基板の裏面を研削すると本実施例の半導体デバイスが得られる。

[0065] (第4の実施例)

図21を参照すると、本発明の第4の実施例は、第3層間絶縁膜11の表面に形成された凹部内に、高透磁率分離領域19に接続された高透磁率分離プレーン25が埋設されている点を除いて、第3の実施例と同様である。

本実施例の製造方法は、第3層間絶縁膜11を形成するまでの工程は第1、第3の実施例の場合と同様である。第3層間絶縁膜11を堆積した後、第3層間絶縁膜11に配線溝およびビアホールを開設し、銅膜の形成とCMPにより第2層銅配線12を形成

する。その後、第3層間絶縁膜11に凹部を形成し、バリアメタルとNiFe軟磁性金属を成長させ、第3層間絶縁膜11上の金属膜をCMPで除去することにより、高透磁率分離プレーン25を形成する。その後の工程は第3の実施例の場合と同様である。

[0066] (第5の実施例)

図22を参照すると、本発明の第5の実施例は、SOI(silicon on insulator)基板上にCMOSが形成されている半導体デバイスで構成される。SOI基板には、RF回路領域100とデジタル回路領域(図示なし)とが配設されている。図22から理解できるように、シリコン基板1上には埋め込み酸化膜27を介して薄膜トランジスタであるnチャネルまたはpチャネル型のMOSFET3が形成されている。MOSFET3上は第1層間絶縁膜4で覆われ、第1層間絶縁膜4上にはコンタクトプラグ5aを介してMOSFET3のソース・ドレイン領域と接続される第1層配線10aが形成されている。

MOSFET3の周囲には、第1層間絶縁膜4および埋め込み酸化膜27を貫通してシリコン基板1の内部に到達する開口が開設されており、この開口内は低誘電率絶縁物が埋設されており、これにより低誘電率絶縁体ロッド8が形成されている。図示は省略されているが、本実施例においても第1〜第4の実施例と同様に、第1層配線上に1ないし複数層の層間絶縁膜が形成され多層配線が形成されている。そして、RF回路領域100の層間絶縁膜内にはインダクタおよび高透磁率領域とが形成されている。

[0067] (第6の実施例)

図23を参照すると、本発明の第6の実施例は、化合物半導体デバイスに本発明を適用している。図23に示すように、半絶縁性GaAs基板28上には、分離領域である $H^+$ 注入高抵抗領域29に囲まれた領域内に、コレクタ領域を構成する $n^+$ -GaAs層30と $n^-$ -GaAs層31とが形成され、その上にベース領域を構成する $p^+$ -GaAs層32が形成されている。また、その上には、エミッタ領域を構成する $n$ -AlGaAs層33とコンタクト層である $n$ -InGaAs層34が形成されている。 $n^+$ -GaAs層30上には、コレクタ電極となるAu/Ni/AuGe層35が形成され、 $p^+$ -GaAs層32上には、ベース電極となるAu/Pt/Ti層36が形成されている。また、 $n$ -InGaAs層34上には、エミッタ電極を構成するWSi層37とAu/Pt/Ti層38とが形成されている。

H<sup>+</sup>注入高抵抗領域29とトランジスタは第1層間絶縁膜4で覆われ、第1層間絶縁膜4上にはコンタクトプラグ5aを介してトランジスタの各電極と接続される第1層配線10aが形成されている。

[0068] トランジスタの周囲には、第1層間絶縁膜4およびH<sup>+</sup>注入高抵抗領域29を貫通して半絶縁性GaAs基板28の内部に到達する開口が開設されており、この開口内は低誘電率絶縁物が埋設されており、これにより低誘電率絶縁体ロッド8が形成されている。図示は省略されているが、本実施例においても第1〜第4の実施例と同様に、第1層配線上に1ないし複数層の層間絶縁膜が形成され多層配線が形成されている。そして、RF回路領域100の層間絶縁膜内にはインダクタおよび高透磁率領域とが形成されている。

[0069] (第7の実施例)

図24(a)は、本発明の第7の実施例を示す平面図であり、図24(b)は図24(a)のA-A'線での断面図である。本実施例は、オンチップアンテナを有する半導体デバイスに本発明を適用している。図24において、図8に示す第1の実施例の部分と同等の部分には同一の参照符号を付し重複する説明は適宜省略する。本実施例においては、半導体チップの周辺部に周辺高抵抗領域400が設けられ、半導体チップの内側にRF回路領域100とデジタル回路領域200とが設けられている。周辺高抵抗領域400においては、第1層間絶縁膜4およびシャロートレンチ素子分離膜2を貫通し、シリコン基板1内部に到達する低誘電率絶縁体ロッド8が形成されている。そして、周辺高抵抗領域400上においては、第5層間絶縁膜15内の第4層銅配線を利用してオンチップアンテナ配線41が形成されている。

オンチップアンテナ配線41は、多層配線を介してRF回路領域100内に形成されたMOSFETに接続されている。

[0070] 無線機能を有する半導体チップには、電波を送受信するアンテナが必要不可欠である。このアンテナを、絶縁膜上、例えばアルミナセラミックス上に形成したチップを別に作製しておき、このチップをRF回路を有する半導体チップに外付けする方法もある。しかし、この方法では、チップ間接続部での損失やノイズ混入する技術課題や、小型化が困難といった課題があった。一方、オンチップ上にアンテナを形成すること

でこれらの技術課題を解決することができるが、例えば従来、シリコン半導体チップ上にアンテナを形成しても、シリコン基板が低抵抗であるため電波がシールドされ、効率のよいアンテナを形成することができなかった。

[0071] 第7の実施例では、図24に示すように、チップの周辺部に低誘電率絶縁体ロッド8が埋め込まれた高抵抗かつ低誘電率な周辺高抵抗領域400を形成し、半導体チップの最上層配線層にアンテナを形成している。周辺部に設置するのは、アンテナ長を長くして送受信効率を上げるためである。なお、ここでは、ループ形状のアンテナをチップ周辺に設置したが、アンテナの形状には制限がない。例えば、チップの1辺部のみに設置したI字型でも、2辺部のみに設置したL字型でも、3辺部のみに設置したU字型でもよい。また、多重ループ構造でもよい。

[0072] (第8の実施例)

図25(a)は、本発明の第8の実施例を示す平面図であり、図25(b)は図25(a)のA-A'線での断面図である。本実施例は、アンテナ配線が多層に積層された構造となっている点と、この積層構造のオンチップアンテナ配線41の内周部に接地されたシールド配線42が併設されている点を除いて、図24に示した第7の実施例と同様である。ここで、多層アンテナ配線は、チップ外周部を周回する、層間絶縁膜を貫通するスリット状の開口内に埋設されたアンテナ配線を多段に積層した構造となっている。すなわち、チップの周辺部に最上層配線から最下層配線にいたるアンテナ配線の壁が形成された構造となっている。なお、アンテナ配線は必ずしも最上層配線から最下層配線にいたるまで形成されている必要はない。上層配線の2層分など多層にわたってアンテナ配線が形成されていてもよい。本実施例においては、アンテナ配線の内側にシールド配線42が設置されるが、このシールド配線も周回するスリット状の開口に埋め込まれた配線を多段に積層した構造となっている。すなわち、最上層配線から最下層配線にいたるシールド配線の壁が形成されており、この壁によりアンテナ配線からの電磁ノイズを遮断する構造となっている。なお、かかる多層アンテナ配線と多層シールド配線はチップ外周から進入する湿気を遮断する機能も合わせ持っている。

[0073] (第9の実施例)

次に図42ー図45を参照し、本発明の第7の実施の形態の構造を形成するための製造方法について詳細に説明する。なお、この製造方法は、本発明の第7の実施の形態を実現するための一例であり、本願発明の範囲を限定するものではない。まず、図42(a)に示すように、シャロートレンチ素子分離層2、MOSFET3、Wコンタクトプラグ5の形成された半導体基板上に、後に行うCMP工程時にストップとして機能させるため、第1ストップ膜92、及び、必要に応じて、低誘電率膜の塗布性向上を目的とした犠牲層97を成膜する。第1ストップ膜92は、後に行うCMP工程において、低誘電率絶縁膜7及び犠牲層97に対して選択比が確保できる材料が好ましく、例としてはSiN、SiON、SiCN膜等があげられ、犠牲層97は、少なくともシリコン及び酸素を含んだ絶縁膜であることがより好ましく、例としてはSiO<sub>2</sub>等があげられる。さらに好ましくは、低誘電率膜7を塗布法で形成する場合の塗布性向上の観点から、犠牲層97は親水性の材料であることが好ましい。

[0074] 次に、図42(b)に示すように、フォトレジスト98により、後に低容量基板領域を形成するためのパターニングを行う。パターニングの形状としては、本明細書の第1の実施の形態に記載されるように、正方格子点配置、斜め方向配置、ランダム配置、あるいは溝格子状であってもよい。さらには、六角形状の開口を充填率を高くするべく配置する、いわゆるハニカム(蜂の巣)構造としても良い。

次に、図42(c)に示すように、フォトレジスト98をマスクとして、犠牲層97、第1ストップ絶縁膜92、第1層間絶縁膜4、及びシャロートレンチ素子分離膜2を、プラズマエッチングによりエッチングし、開口部99aを形成する。続けて図43(d)に示すように、プラズマエッチングによりシリコン基板1をエッチングし、開口部99bを形成する。図43(c)'に示したフォトレジスト98の剥離は、シリコン基板のエッチングの後に行っても良い。

次に、図43(e)に示すように、開口部を埋設するべく、低誘電率膜7を形成する。低誘電率膜7としては、本明細書の実施の形態に記した材料を用いる。

次に、CMPにより余剰な低誘電率膜7、及び犠牲層97を除去する。これによって、本CMP工程において第1ストップ絶縁膜92がCMPのストップとして働き、CMP後には図44(f)に示す構造が形成される。次に第2ストップ絶縁膜93を形成する(図44(g))

。

[0075] 次に図44(h)に示すように、フォトリソ resist 101により所望の配線溝パターンを形成した後、その上に、図45(i)に示すように、第2層間絶縁膜9を、プラズマエッチングによりエッチングする。このとき、第2ストップ絶縁膜93が、エッチングストップとして機能し、第2層間絶縁膜9のエッチング中に低誘電率ロッド8がエッチングされるのを防ぐ働きをする。第2層間絶縁膜9のエッチングに際しては、レジストマスク以外にも、あらかじめ第2層間絶縁膜9上に形成した絶縁膜によるハードマスク法を用いても良いが、ここには図示しない。

次に、第2層間絶縁膜9をマスクとして、第2ストップ絶縁膜93、第1ストップ絶縁膜92、及び低誘電率絶縁体ロッド8を、同時にプラズマエッチングによりエッチングする。エッチングによって形成した配線溝を含む全面に、必要に応じてバリアメタル膜102、及び金属配線膜10を堆積した後、余剰な金属膜をCMPにより除去することにより図45(k)の構造を得る。

本製造方法により、前記低容量基板領域を内包する半導体基板上にダマシン法により銅を主成分とする金属配線を形成する場合のうち、特に低容量基板領域の上に位置する第2層間絶縁膜9中に第1金属配線10を形成する場合に、第1金属配線10の底面を平坦に形成することができるため、前記金属配線10の配線抵抗値の安定性や、絶縁信頼性等、半導体装置における金属配線に要求される性能を満足することができる。

[0076] (第10の実施例)

次に図46～48を参照しながら、本発明の第8の実施の形態の構造を形成するための製造方法について詳細に説明する。なお、この製造方法は、本発明の第8の実施の形態を実現するための一例であり、本願発明の範囲を限定するものではない。また、本実施例については、前記第9の実施例における製造方法のうち、図43(e)までの工程は同一の工程を踏襲するため、図43(e)までの工程については説明を省略し、図43(e)と同じ構造を示す図46(e)から説明を行う。

図46(e)に示す構造を形成した後、プラズマエッチングにより低誘電率膜7をエッチングし、低誘電率絶縁体ロッド8を形成する(図46(f))。エッチング条件としては、犠牲層97との選択比を確保できる条件で行うことが好ましい。次に、キャップ絶縁膜94

を、低誘電率絶縁体ロッド8上部の開口部を埋めるように堆積する。キャップ絶縁膜94は、低誘電率絶縁体ロッド8よりも比誘電率が高く、かつ弾性率、硬度などの機械強度が高い絶縁体であることが好ましく、犠牲層97と同時にCMPにより除去可能である絶縁体であることが好ましい。

次に、CMPにより、キャップ絶縁膜94と、犠牲層97を除去し、平坦化を行う。ここで、第1ストップ絶縁膜はCMPストップとして機能するため、CMP後には図47(h)に示す構造が形成される。

[0077] 次に、図47(i)に示すように、第2ストップ絶縁膜93、第2層間絶縁膜9を堆積した後、図47(j)に示すように、フォトリソ resist 101により所望の配線溝パターンを形成し、プラズマエッチングにより図48(k)に示す構造を得る。このとき、第2ストップ絶縁膜93が、エッチングストップとして機能し、第2層間絶縁膜9のエッチング中にキャップ絶縁膜94がエッチングされるのを防ぐ働きをする。第2層間絶縁膜9のエッチングに際しては、レジストマスク以外にも、あらかじめ第2層間絶縁膜9上に形成した絶縁膜によるハードマスク法を用いても良いが、ここには図示しない。

[0078] 次に、第2層間絶縁膜9をマスクとして、第2ストップ絶縁膜93、第1ストップ絶縁膜92、及びキャップ絶縁膜94を、プラズマエッチングにより同時にエッチングする(図48(l))。更に、必要に応じてバリアメタル膜102、及び金属配線膜10を堆積した後、余剰な金属膜をCMPにより除去することにより、図48(m)の構造を得る。

本製造方法により、前記低容量基板領域を内包する半導体基板上にダマシン法により銅を主成分とする金属配線を形成する場合のうち、特に低容量基板領域の上に位置する第2層間絶縁膜9中に第1金属配線10を形成する場合に、該第1金属配線10の底面を平坦に形成することができるため、前記金属配線10の配線抵抗値の安定性や、絶縁信頼性等、半導体装置における金属配線に要求される性能を満足することができる。

[0079] (第11の実施例)

次に図49を参照しながら、本発明の第9の実施の形態の構造を形成するための製造方法について詳細に説明する。なお、この製造方法は、本発明の第9の実施の形態を実現するための一例であり、本願発明の範囲を限定するものではない。また、本実

施例については、前記第9の実施例における製造方法のうち、図43(e)までの工程は同一の工程を踏襲するため、図43(e)までの工程については説明を省略し、図43(e)と同じ構造を示す図49(e)から説明を行う。

[0080] 図49(e)に示す構造を形成した後、プラズマエッチングにより余剰な低誘電率絶縁膜7を除去し、低誘電率絶縁体ロッド8を形成する(図49(f))。本発明の第9の実施の形態の構造を形成するためには、前記プラズマエッチングにより、低誘電率絶縁体ロッド8の最上部の位置が、Wコンタクトプラグ5の最上部よりも低い位置になることが必要である。この段差を利用して、後に低誘電率絶縁体ロッド8の上部に絶縁体キャップ94を形成する。

次に図49(g)に示すように、絶縁体キャップ94を堆積する。絶縁体キャップ94の材料としては、低誘電率絶縁体ロッド8を構成する低誘電率絶縁体よりも機械強度が高く、かつチタンやアルミ等を含有する金属のスパッタリングや、配線金属のエッチングプラズマに対して耐性を持つ材料が好ましい。

次に、CMPにより余剰な絶縁膜キャップ94及び犠牲層97を除去する。第1ストップ絶縁膜92がCMPストップとして機能し、CMP工程後には、図50(h)に示されるような断面形状が形成される。CMP条件としては、絶縁膜キャップ94及び犠牲層97を除去可能で、かつ第1ストップ絶縁膜層92との選択比が確保できるように設定すればよい。

[0081] 次に図50(i)に示すように、プラズマエッチングにより、第1ストップ絶縁膜層92を除去する。プラズマエッチング条件としては、Wコンタクトプラグ表面が露出するように設定すればよい。ここで、第1ストップ絶縁膜層92とキャップ絶縁膜94の両者について、選択比が確保される場合は図50(i)の形状になり、選択比が確保されず、同時にエッチングが進む場合は、図50(i)'に示す形状になる。配線底面の平坦化の観点からは、図50(i)'に示す形状がより好ましい。

[0082] 以降は、通常よく用いられるアルミ配線形成工程の製造工程に従い、多層配線構造を形成(アルミ配線形成工程手順詳細については図示せず)し、図51(j)、及び図51(j)'に示す構造を得る。

## 請求の範囲

- [1] 低容量基板領域を有する半導体基板と、該半導体基板の表面領域に形成されたトランジスタと、該トランジスタ上に配設される、複数の層間絶縁膜及び複数の配線層を有する多層配線構造とを備える半導体デバイスにおいて、  
前記低容量基板領域には、少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る複数の基板開口が形成されていることを特徴とする半導体デバイス。
- [2] 前記基板開口内には、低誘電率絶縁物が埋設されていることを特徴とする請求項1に記載の半導体デバイス。
- [3] 前記基板開口の半導体基板内での長さが、前記半導体基板の厚さの半分以上であるか、または、前記基板開口が前記半導体基板を貫通していることを特徴とする請求項1または2に記載の半導体デバイス。
- [4] 前記基板開口は、基板表面と垂直方向にみてランダムに配置されたものであることを特徴とする請求項1から3のいずれかーに記載の半導体デバイス。
- [5] 前記基板開口は、基板表面と垂直方向にみて前記低容量基板領域を横断する直線的な電流経路が形成されることのないように形成されたものであることを特徴とする請求項1から3のいずれかーに記載の半導体デバイス。
- [6] 前記低容量基板領域の上方に、層間絶縁膜内に高透磁率材料が埋設された高透磁率領域が設けられていることを特徴とする請求項1から5のいずれかーに記載の半導体デバイス。
- [7] 前記高透磁率領域には、複数の高透磁率磁性体ロッドが配置されており、該高透磁率磁性体ロッドのそれぞれは、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達するアスペクト比(深さ／直径または一辺の長さ)が1以上の膜開口が、導電性を有する前記高透磁率材料で埋め込まれて形成されていることを特徴とする請求項6に記載の半導体デバイス。
- [8] 前記高透磁率領域には、複数の高透磁率磁性体ロッドが配置されており、該高透磁率磁性体ロッドのそれぞれは、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達する膜開口が絶縁性を有する高透磁率材料で埋め込まれて形成されていることを特徴とする請求項6に記載の半導体デバイス。

- [9] 半導体基板と、該半導体基板の表面領域に形成されたトランジスタと、該トランジスタ上に配設される、複数の層間絶縁膜及び複数の配線層を有する多層配線構造とを備え、前記層間絶縁膜中に高透磁率領域が配設される半導体デバイスにおいて、前記高透磁率領域が、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達するアスペクト比(深さ／直径または一辺の長さ)が1以上の膜開口が、導電性を有する高透磁率材料で埋め込まれて形成された複数の高透磁率磁性体ロッドを有することを特徴とする半導体デバイス。
- [10] 半導体基板と、該半導体基板の表面領域に形成されたトランジスタと、該トランジスタ上に配設される、複数の層間絶縁膜及び複数の配線層を有する多層配線構造とを備え、前記層間絶縁膜中に高透磁率領域が配設される半導体デバイスにおいて、前記高透磁率領域が、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達する膜開口が絶縁性を有する高透磁率材料で埋め込まれて形成された複数の絶縁性高透磁率磁性体ロッドを有することを特徴とする半導体デバイス。
- [11] 前記高透磁率材料が、低誘電率絶縁材料と導電性を有する高透磁率磁性材料または絶縁性を有する高透磁率磁性材料とからなる複合材料であることを特徴とする請求項6から10のいずれかーに記載の半導体デバイス。
- [12] 前記低誘電率絶縁材料がポーラス絶縁材料であることを特徴とする請求11に記載の半導体デバイス。
- [13] 前記高透磁率磁性体ロッドが、前記絶縁膜開口の内壁面を被覆する高透磁率材料膜と、該高透磁率材料膜の内側に埋め込まれた低誘電率絶縁材料とを含むことを特徴とする請求項7または9に記載の半導体デバイス。
- [14] 前記高透磁率領域には、前記高透磁率磁性体ロッドの上部、および／または、下部に、層間絶縁膜表面に形成された凹部を高透磁率材料を含む材料にて埋め込んでなる高透磁率磁性体プレーンが配置されていることを特徴とする請求7から13のいずれかーに記載の半導体デバイス。
- [15] 前記低容量基板領域上または前記高透磁率領域に、インダクタが形成されていることを特徴とする請求項1から14のいずれかーに記載の半導体デバイス。
- [16] 前記半導体基板上の前記低容量基板領域内または前記高透磁率領域を含む領

域内に、アナログ回路が形成されていることを特徴とする請求項1から15のいずれかに記載の半導体デバイス。

[17] 前記半導体基板上の前記低容量基板領域または前記高透磁率領域が設けられた領域外に、ロジック回路が形成されていることを特徴とする請求項1から16のいずれかに記載の半導体デバイス。

[18] 前記低容量基板上にオンチップアンテナ配線が形成されていることを特徴とする請求項1から4のいずれかに記載の半導体デバイス。

[19] 前記オンチップアンテナ配線が半導体チップの周辺部に形成されていることを特徴とする請求項18に記載の半導体デバイス。

[20] 前記オンチップアンテナ配線が半導体チップの周辺に沿って“I”字状、“L”字状、“U”字状または多重ループに形成されていることを特徴とする請求項18に記載の半導体デバイス。

[21] 前記オンチップアンテナ配線が複数の層間絶縁膜を貫通して形成されたスリット状開口を埋め込む配線層によって形成されていることを特徴とする請求項18から20のいずれかに記載の半導体デバイス。

[22] 前記オンチップアンテナ配線の内側には接地されたシールド配線が形成されていることを特徴とする請求項19から21のいずれかに記載の半導体デバイス。

[23] 前記シールド配線が複数の層間絶縁膜を貫通して形成されたスリット状開口を埋め込む配線層によって形成されていることを特徴とする請求項22に記載の半導体デバイス。

[24] 半導体基板と、該半導体基板の表面領域に形成されたトランジスタと、該トランジスタ上に配設される複数の層間絶縁膜及び複数の配線層を有する多層配線構造とを備え、前記層間絶縁膜中に高透磁率領域が配設される半導体デバイスの製造方法であって、

(1) 半導体基板上にトランジスタを形成する工程と、

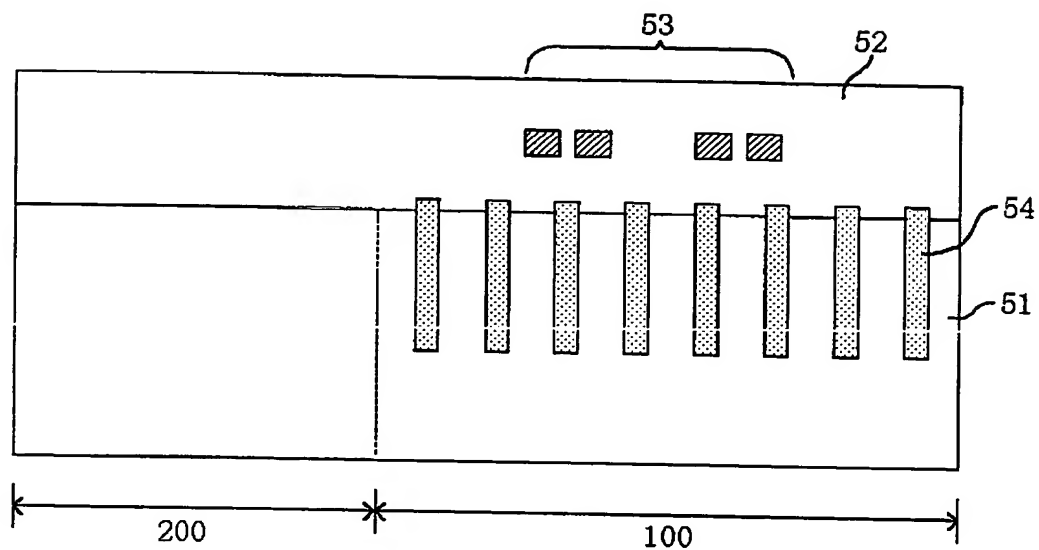
(2) 前記低容量基板領域に少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る基板開口を複数個形成する工程と、

(3) 前記開口内を絶縁物により埋め込む工程と、

- (4)前記半導体基板の裏面を研削する工程と、  
をこの順に有することを特徴とする半導体デバイスの製造方法。
- [25] 前記第(3)の工程で埋め込まれる絶縁物が、誘電率が酸化シリコンより小さい低誘電率絶縁物であることを特徴とする請求24に記載の半導体デバイスの製造方法。
- [26] 前記第(1)の工程と前記第(2)の工程との間に半導体基板上にトランジスタを覆う層間絶縁膜を形成する工程が付加されることを特徴とする請求24または25に記載の半導体デバイスの製造方法。
- [27] 前記低容量基板領域上に、少なくとも2層以上の複数の配線層を用いた配線が形成されていることを特徴とする、請求項1から23のいずれかに記載の半導体デバイス。
- [28] 前記配線層がインダクタであることを特徴とする、請求項27に記載の半導体デバイス。
- [29] 前記複数の配線層の配線が、複数のビアプラグにより、電氣的に並列に接続されていることを特徴とする、請求項27から28のいずれかに記載の半導体デバイス。
- [30] 前記複数の配線層の配線の端部が複数のビアプラグにより接続され、前記複数の配線層は電氣的に直列に接続されていることを特徴とする、請求項27から28のいずれかに記載の半導体デバイス。
- [31] 第1の層間絶縁膜中に形成された第1の配線層の電流方向と、前記第1の層間絶縁膜に隣接する第2の層間絶縁膜中に形成された第2の配線層の電流方向が、互いに対向しないことを特徴とする、配線請求項30に記載の半導体デバイス。
- [32] 前記複数の配線層の配線が直列に接続された構造では、第1の層間絶縁膜中に形成された第1の配線層と、前記第1の層間絶縁膜と上下の位置関係にある第2の層間絶縁膜中に形成された第2の配線層の電流方向が、同一方向であることを特徴とする、配線請求項30に記載の半導体デバイス。
- [33] 前記複数の配線層の配線が直列に接続された構造では、第1の層間絶縁膜中に形成された第1の配線層の配線と、前記第1の層間絶縁膜に隣接する第2の層間絶縁膜中に形成された第2の配線層の配線とが、上下方向に重ならないように延びていることを特徴とする、請求項30から32に記載の半導体デバイス。

- [34] 前記低容量基板領域には、トランジスタの電極となるコンタクトプラグと、第1の層間絶縁膜上に、少なくともシリコンを含有し、前記第1の層間絶縁膜と構成元素及び比率の異なる絶縁膜とが形成されていることを特徴とする、請求項1から23、及び請求項27から33に記載の半導体デバイス。
- [35] 前記低容量基板領域には、トランジスタの電極となるコンタクトプラグを収容する第1の層間絶縁膜上に、少なくともシリコンを含有し、第1層間絶縁膜と構成元素及び比率の異なる絶縁膜が形成されていることを特徴とする、請求項1から23、及び請求項27から34に記載の半導体デバイス。
- [36] 前記低容量基板領域には、前記低誘電率膜ロッドの最上部面が、コンタクトプラグの最上面よりも低い位置にあることを特徴とする、請求項1から23、及び請求項27から35に記載の半導体デバイス。
- [37] 前記低容量基板領域には、前記低誘電率膜ロッドの上部を覆って、ロッド内に充填された絶縁膜よりも高い比誘電率、及び機械強度を持つ絶縁膜が形成されていることを特徴とする、請求項1から23及び請求項27から36のいずれか一に記載の半導体デバイス。

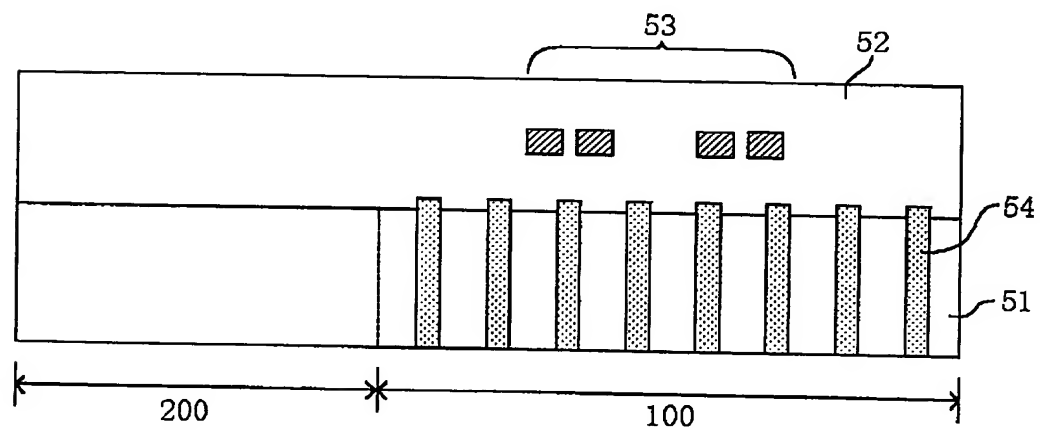
[図1]



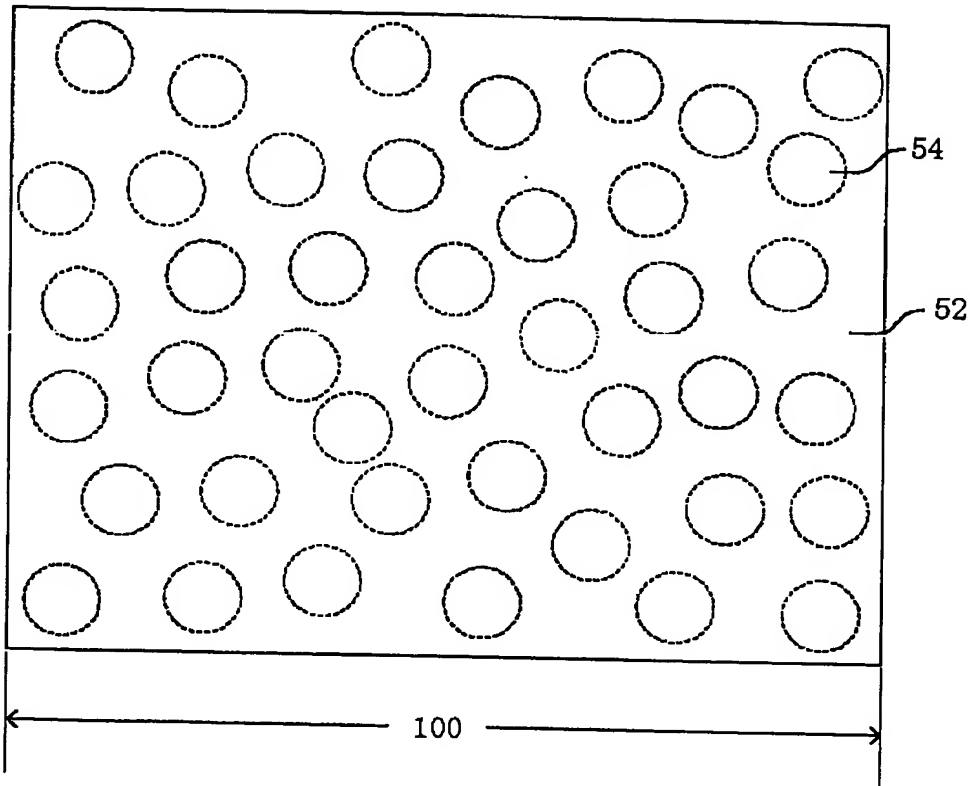
51 半導体基板  
52 積層絶縁膜  
53 インダクタ

54 低誘電率充填物  
100 RF回路領域  
200 デジタル回路領域

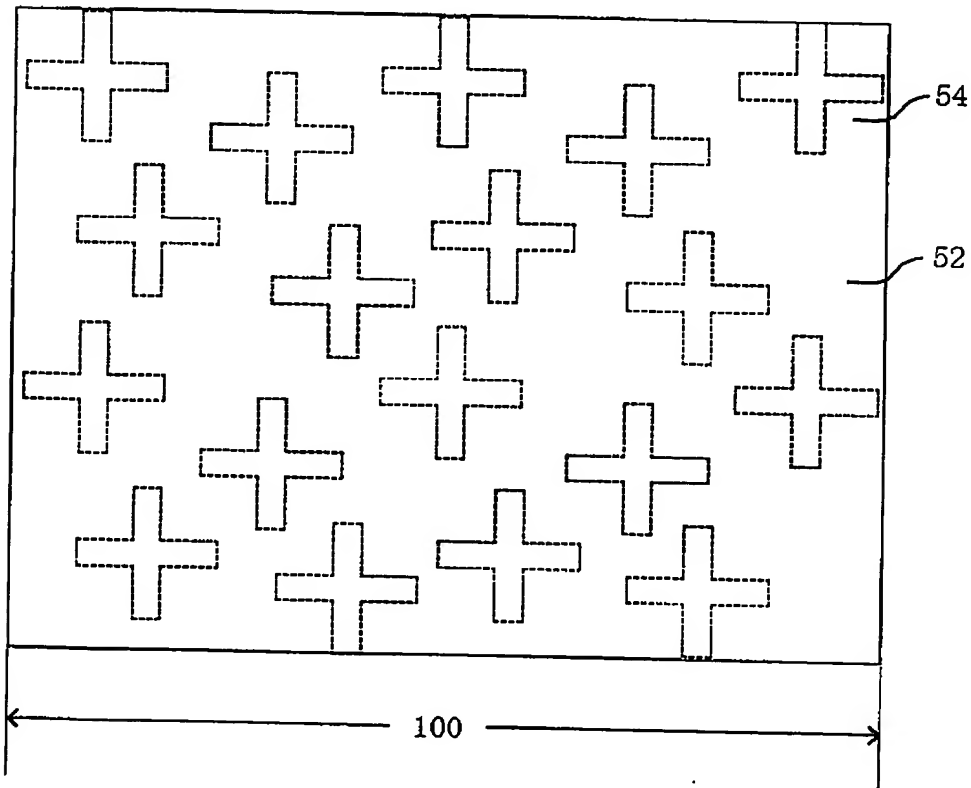
[図2]



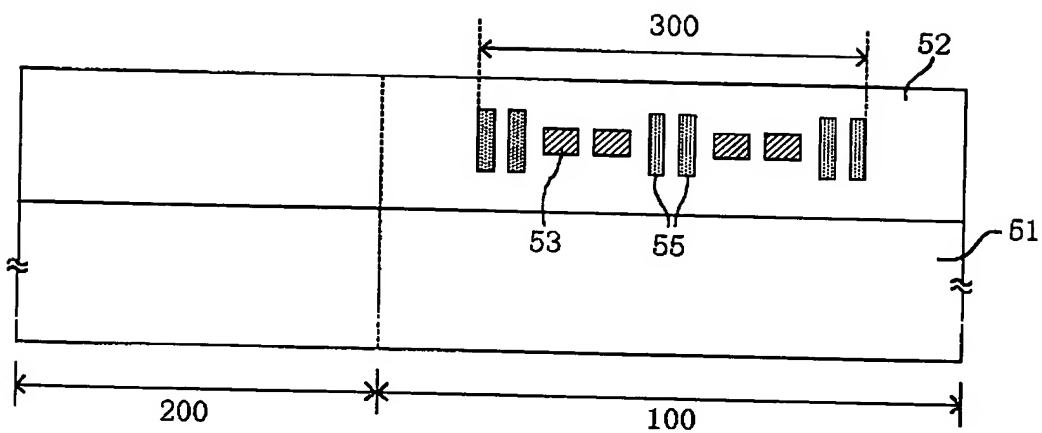
[図3]



[図4]

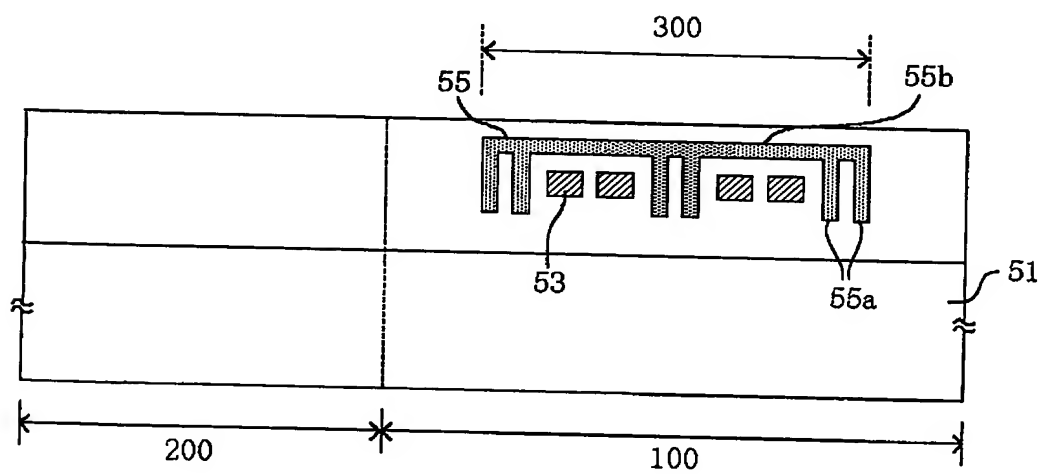


[図5]



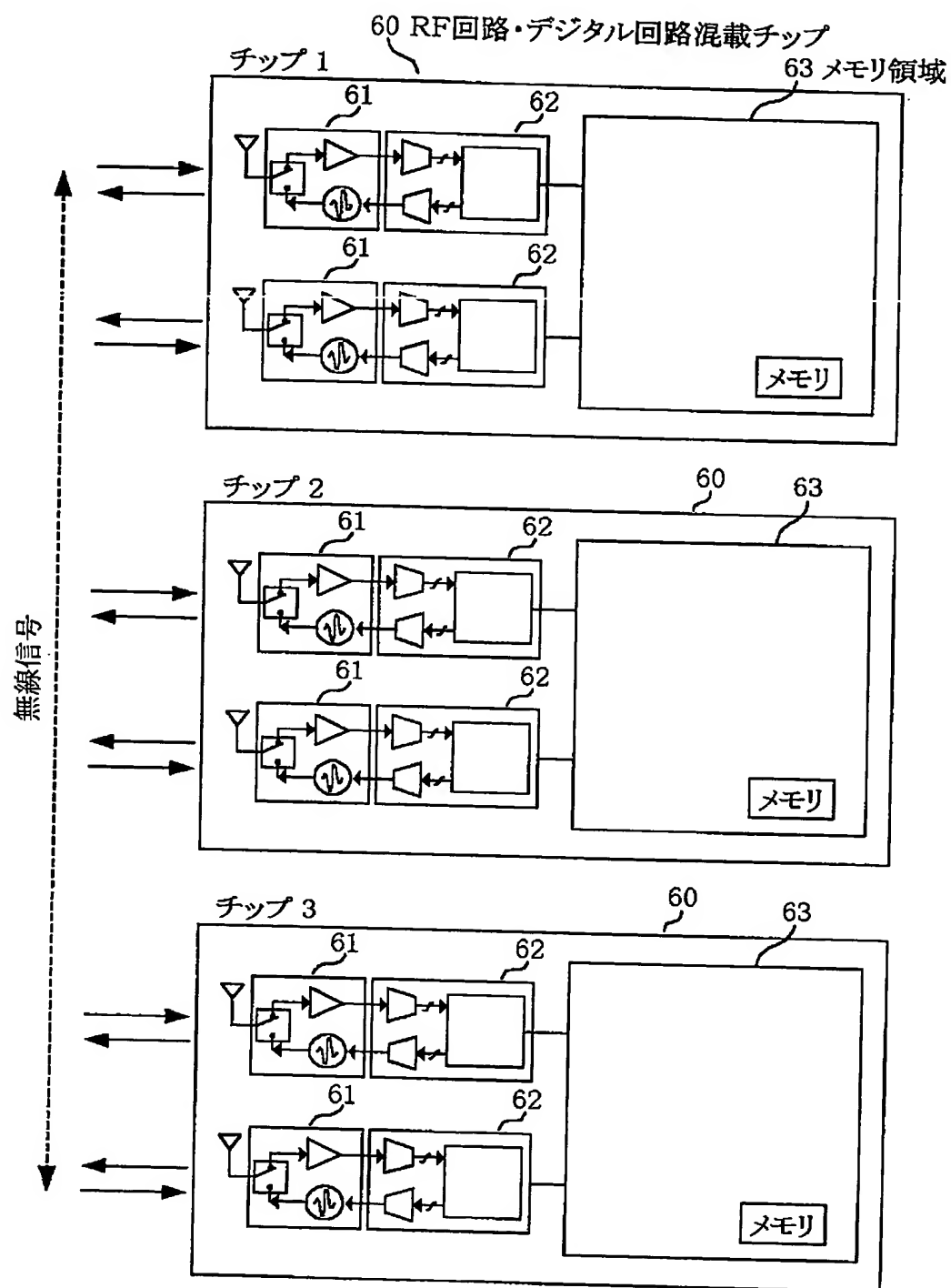
55 高透磁率充填物  
300 高透磁率領域

[図6]

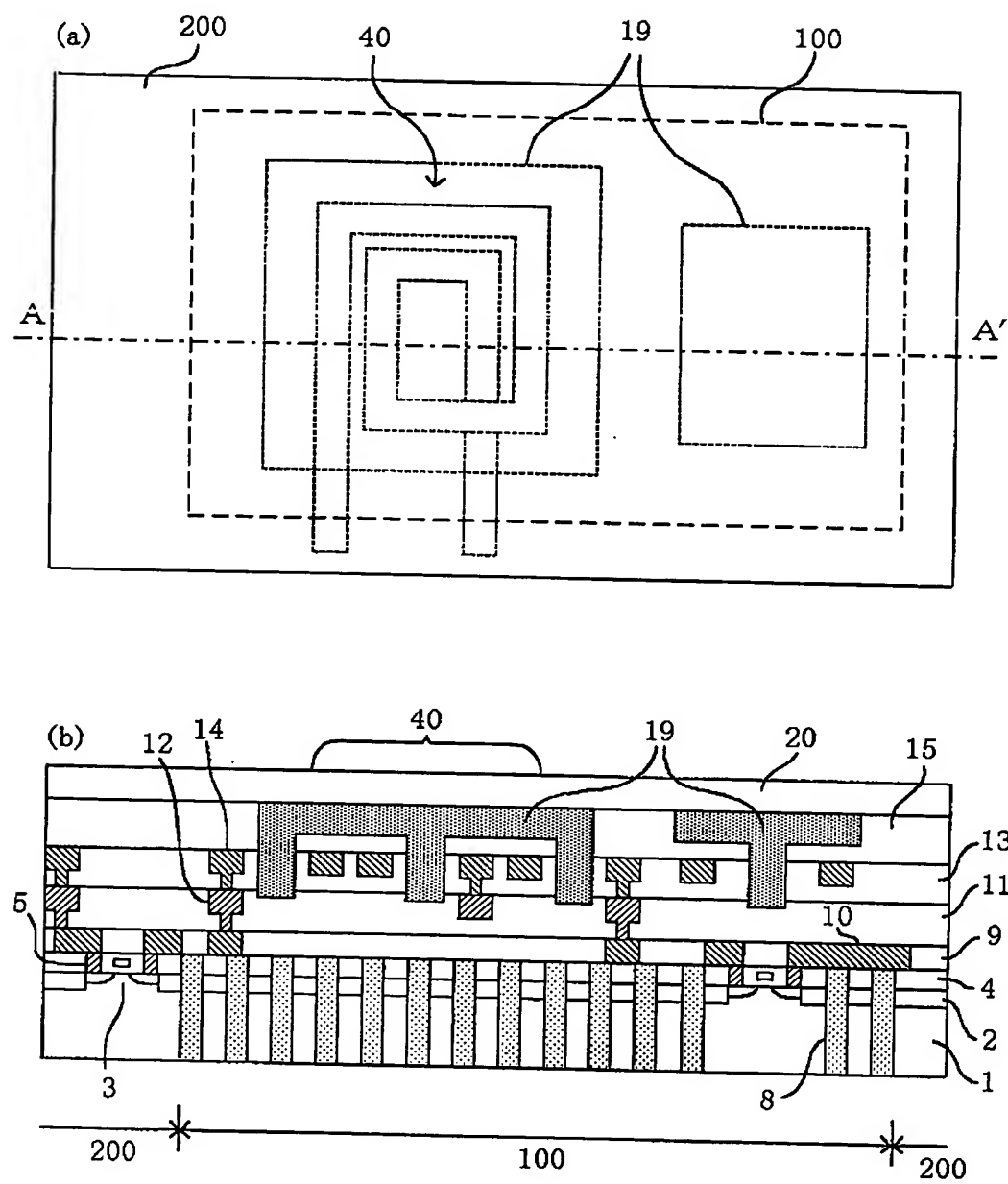


55a ロッド部  
55b プレーン部

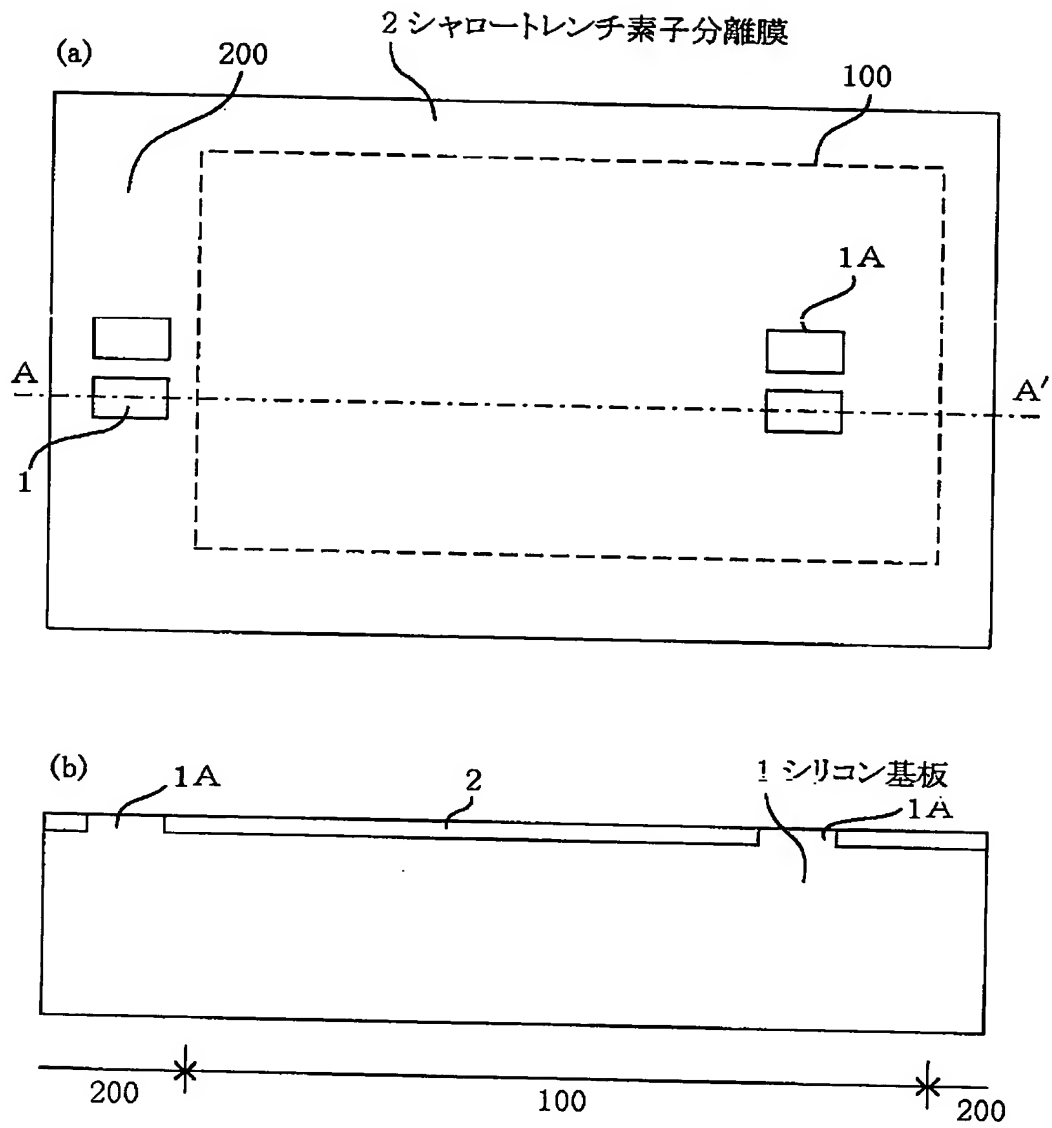
[図7]



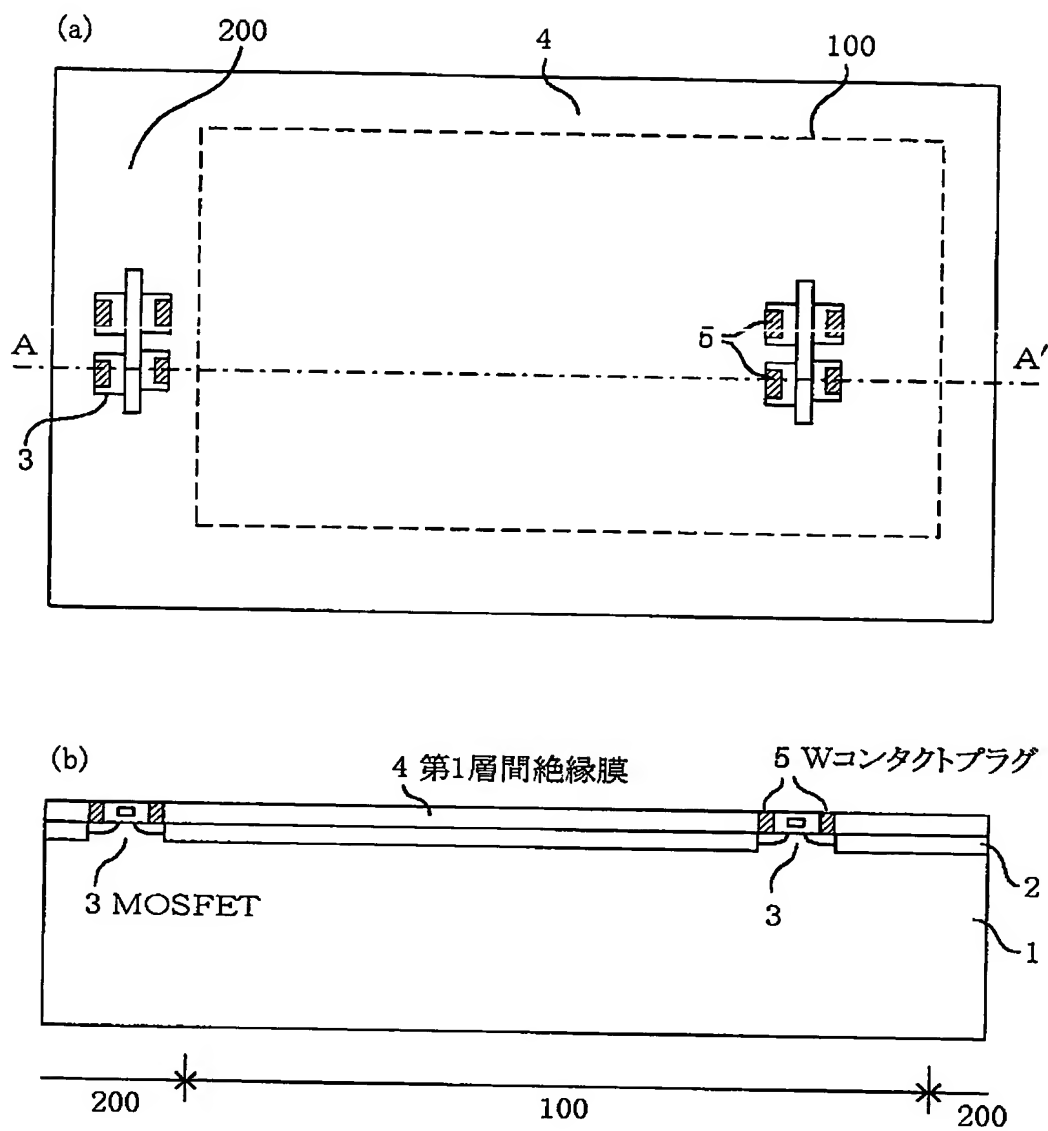
[図8]



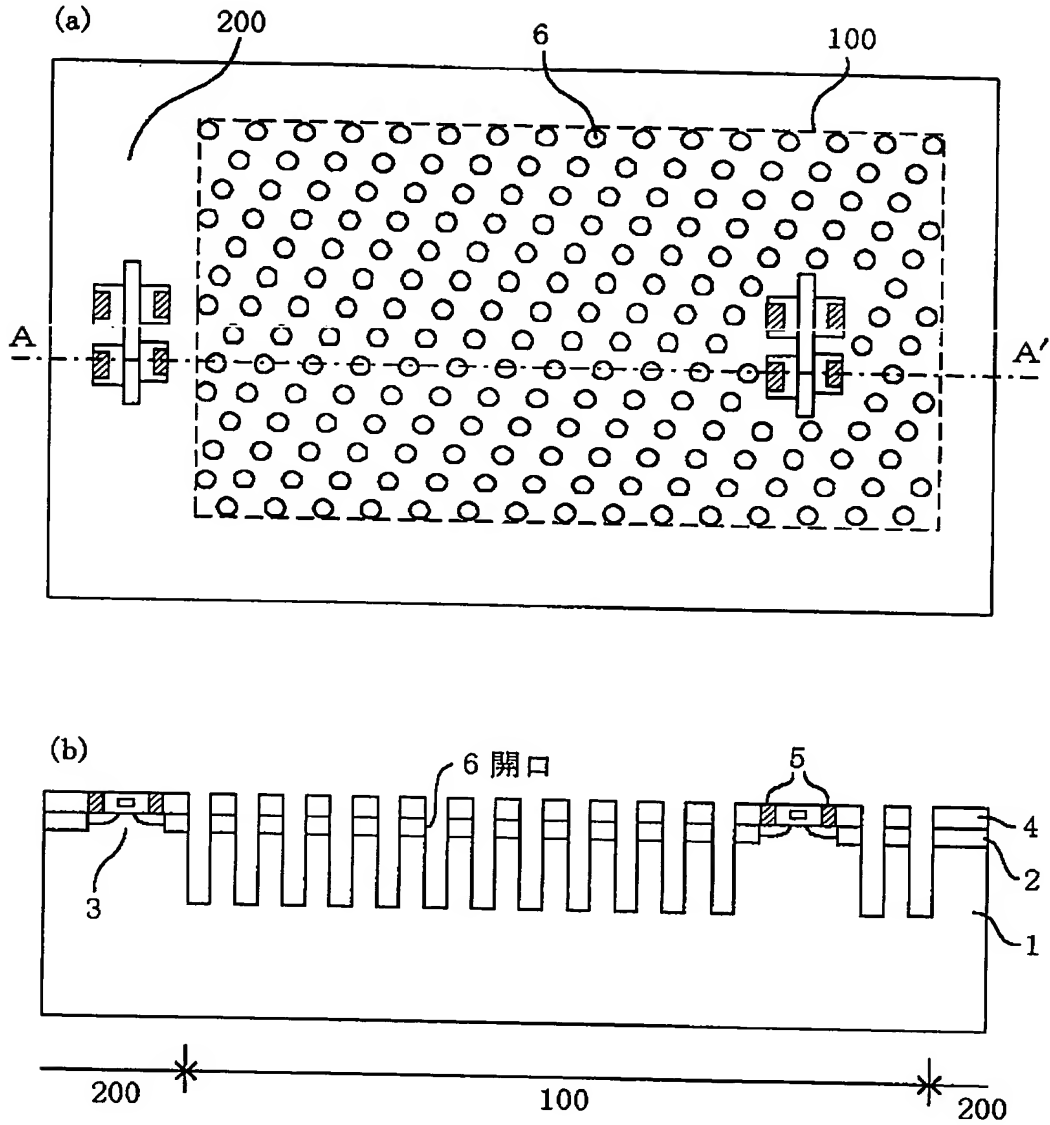
[図9]



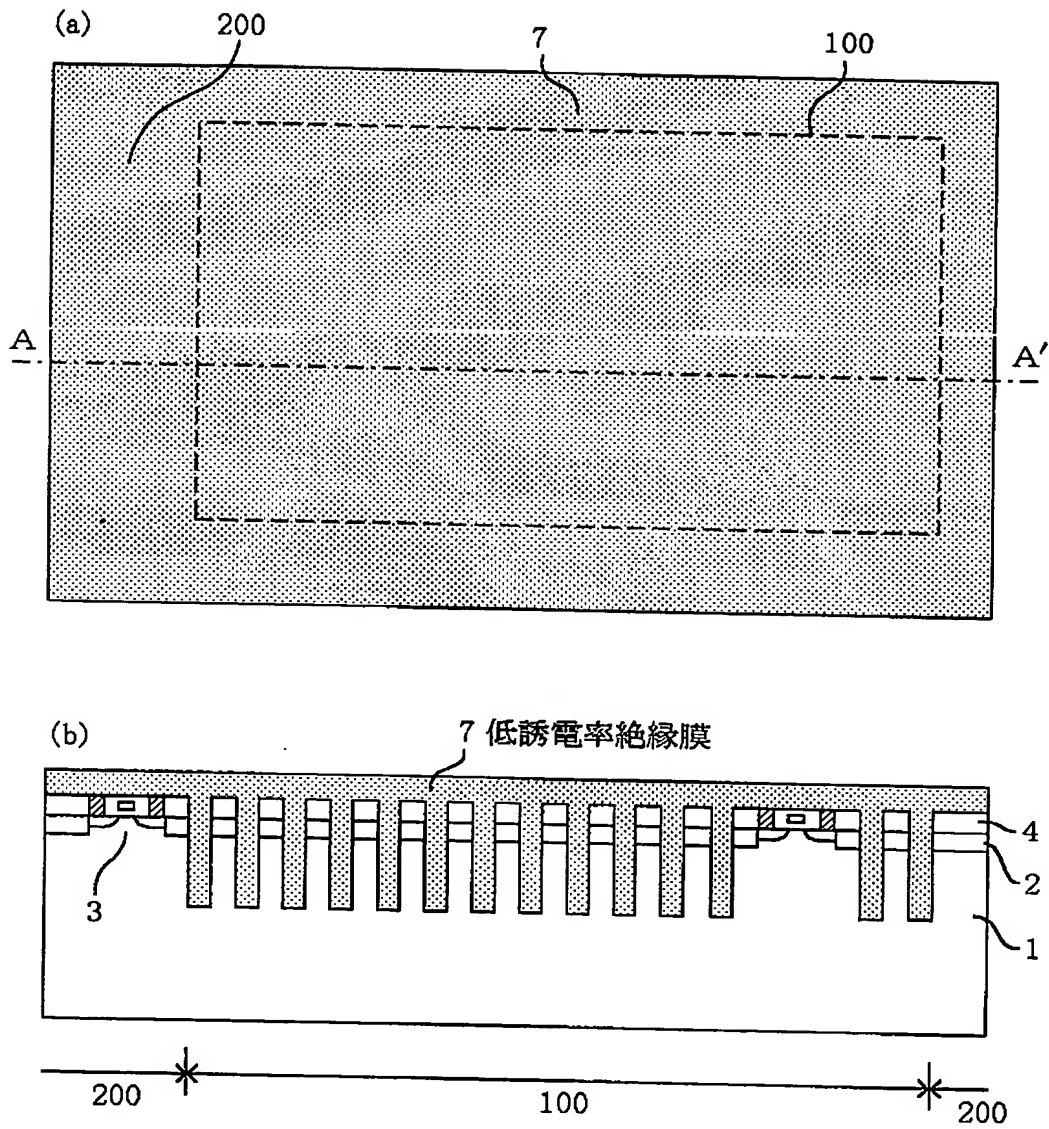
[図10]



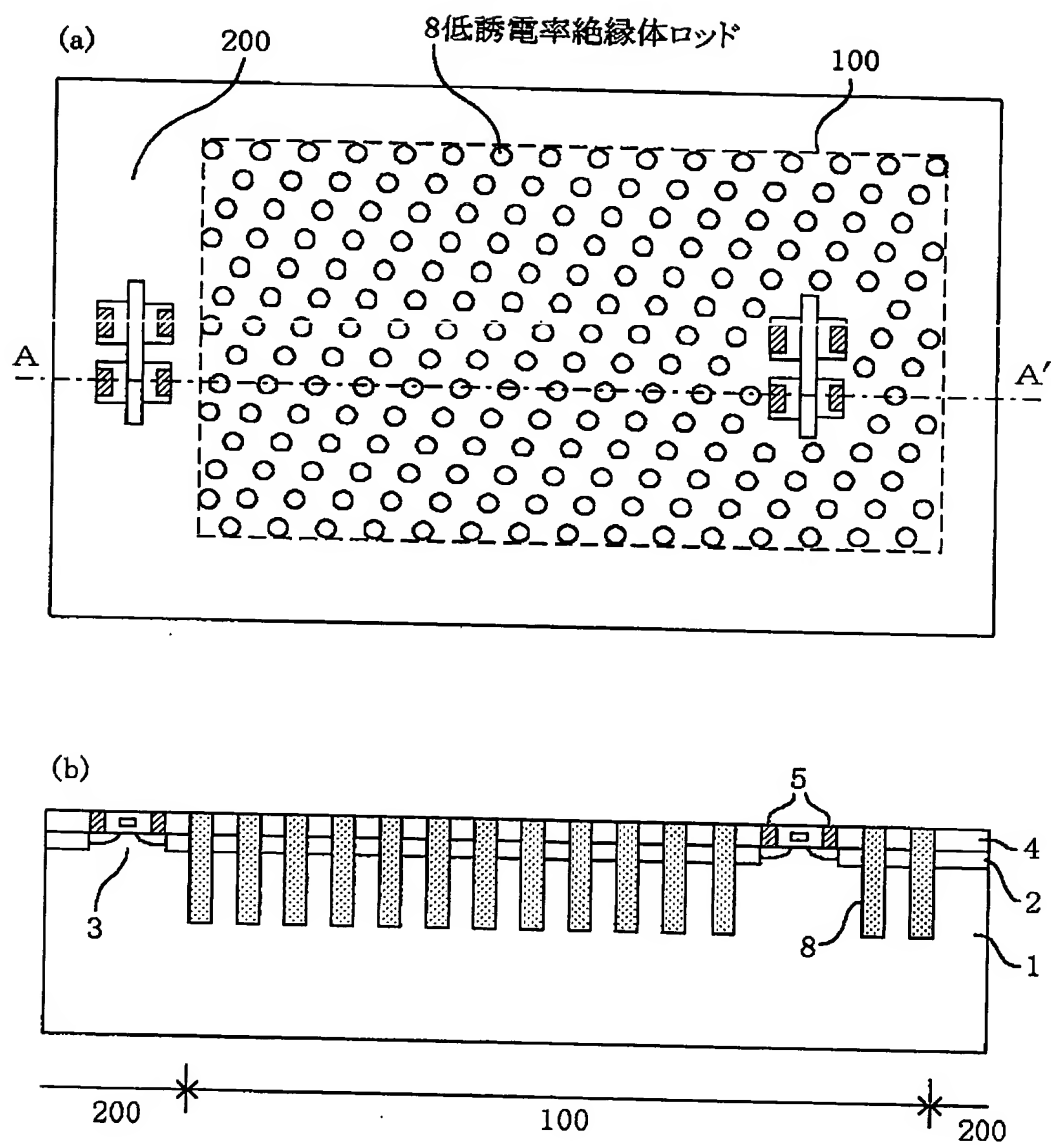
[図11]



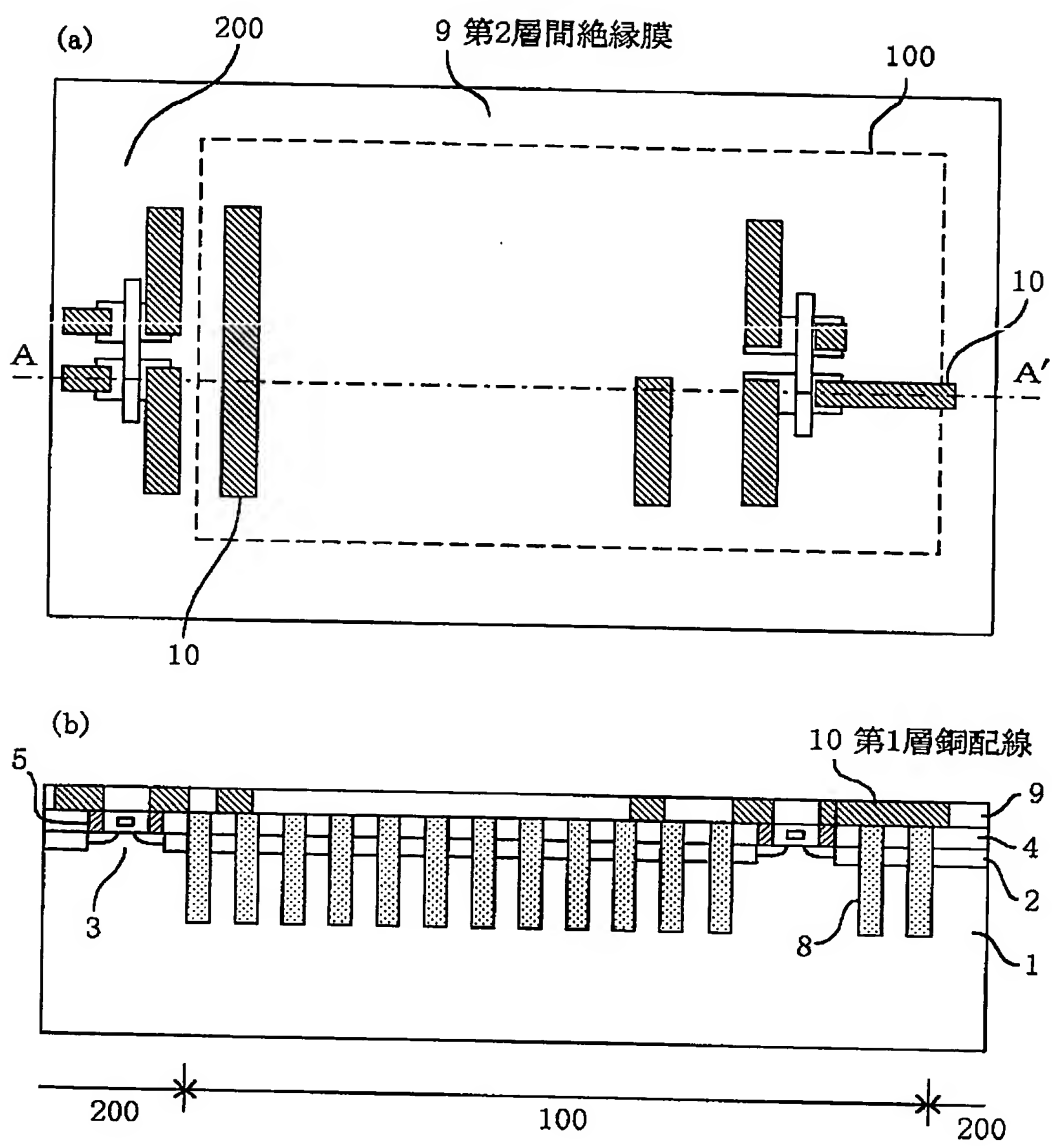
[図12]



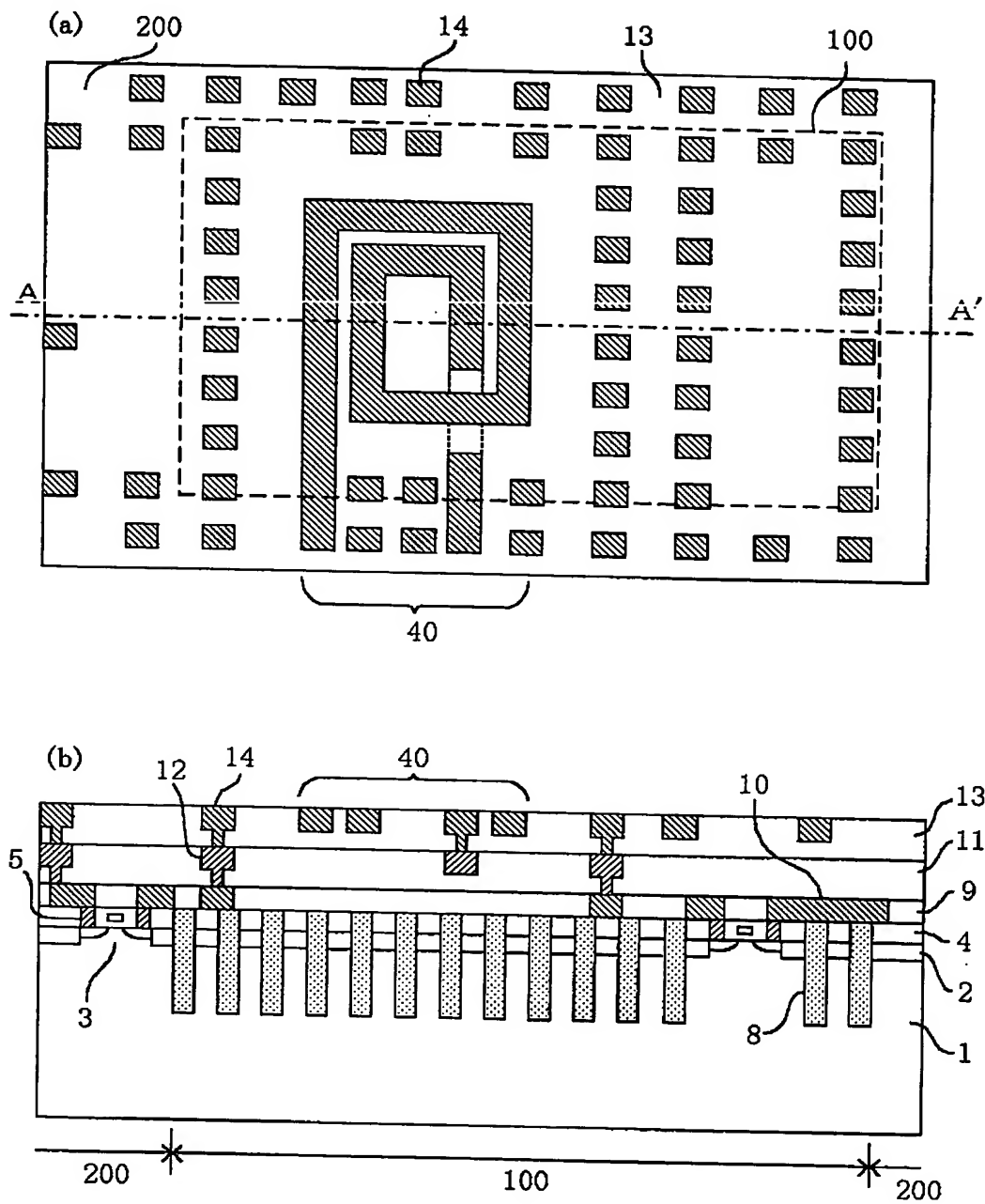
[図13]



[図14]



[図15]

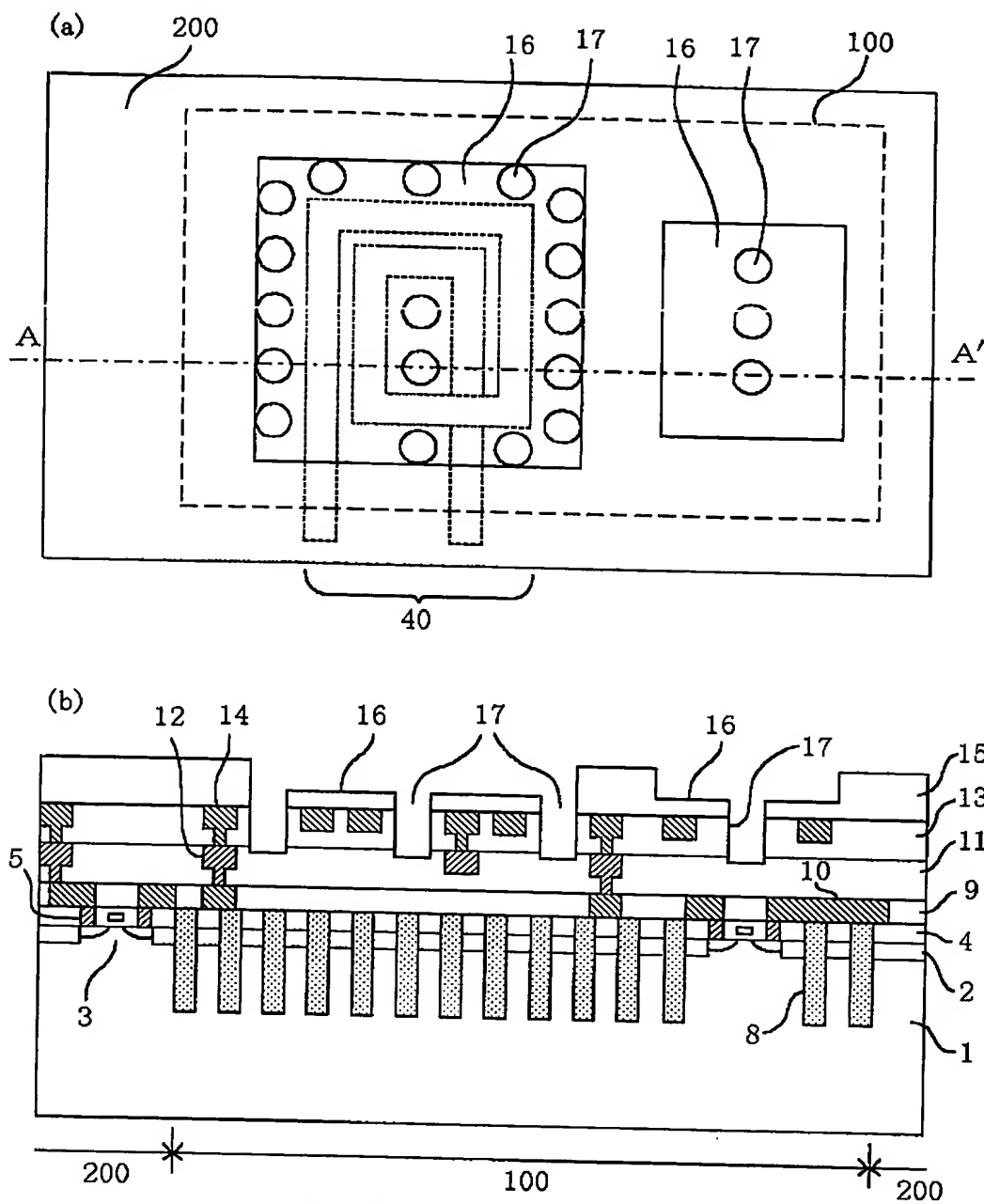


11 第3層間絶縁膜  
12 第2層銅配線

13 第4層間絶縁膜  
14 第3層銅配線

40 インダクタ

[図16]

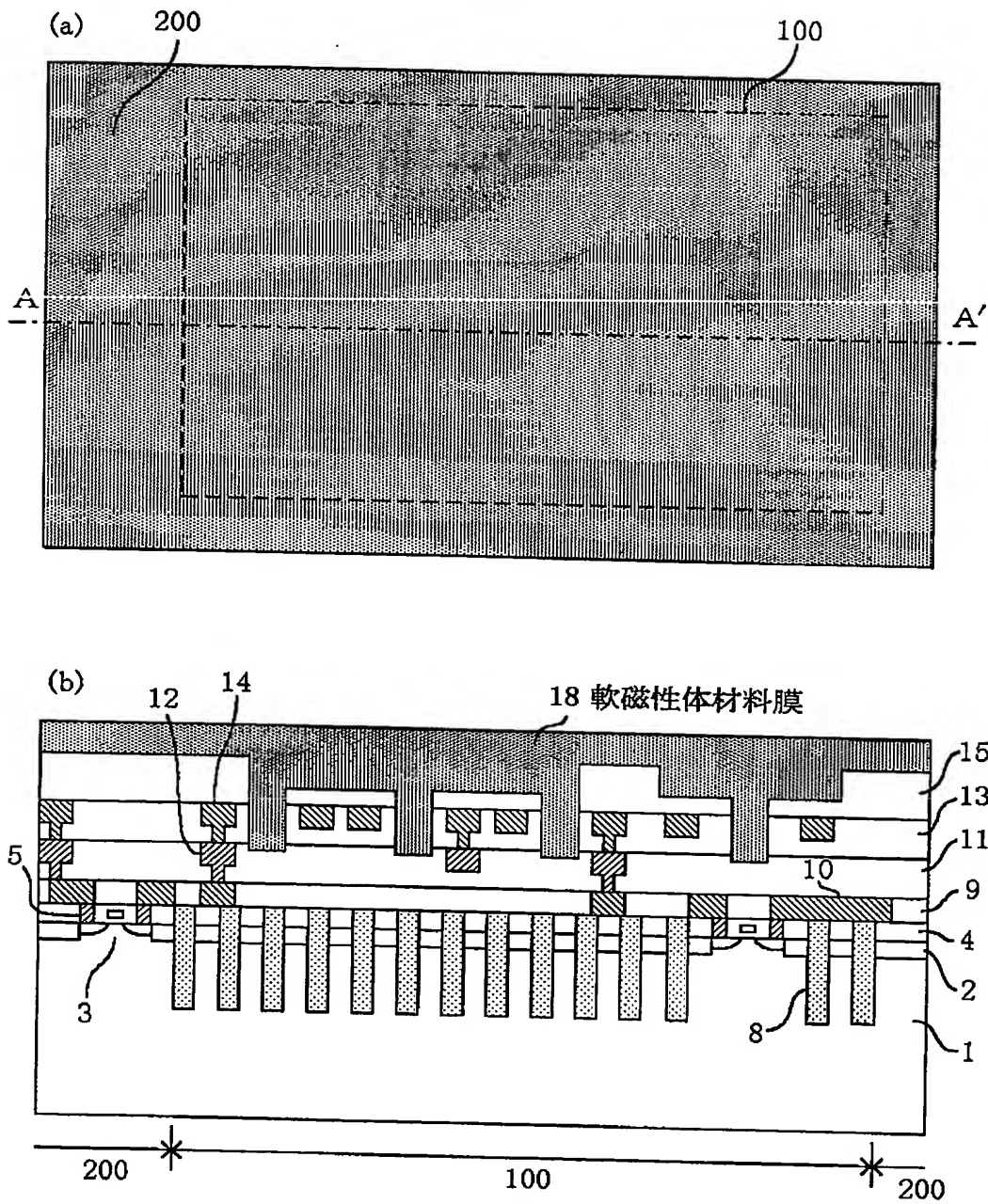


15 第5層間絶縁膜

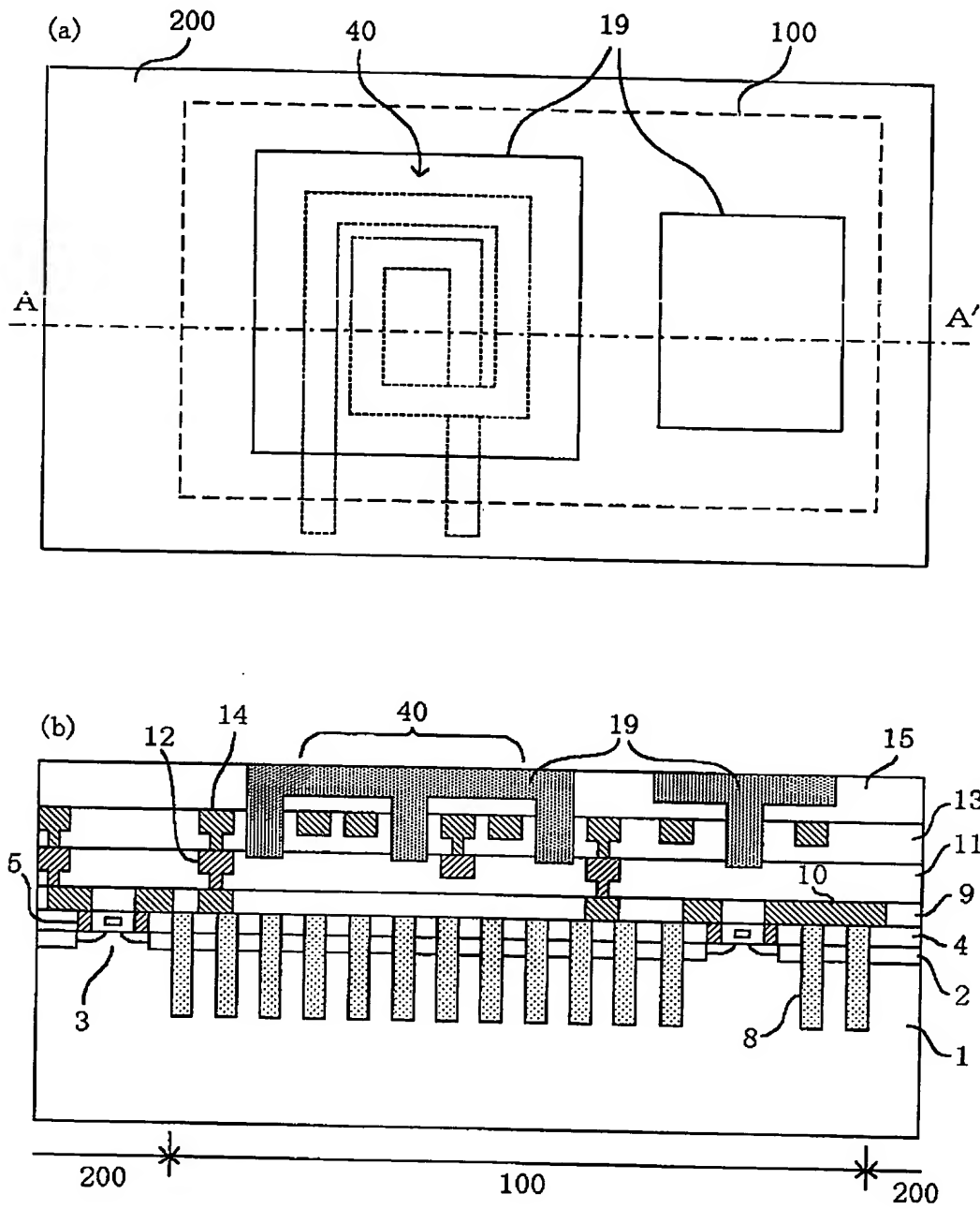
16 凹部

17 開口

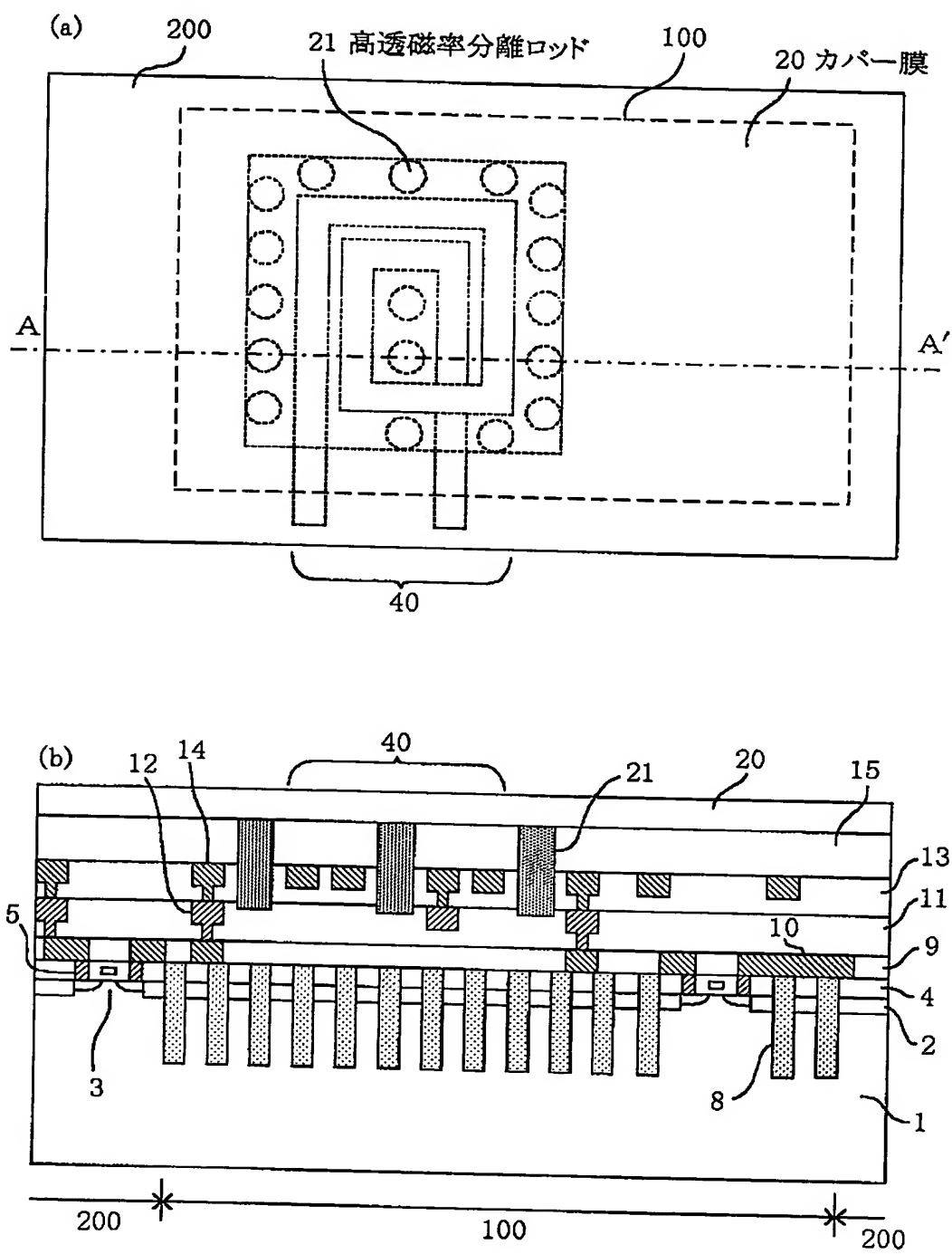
[図17]



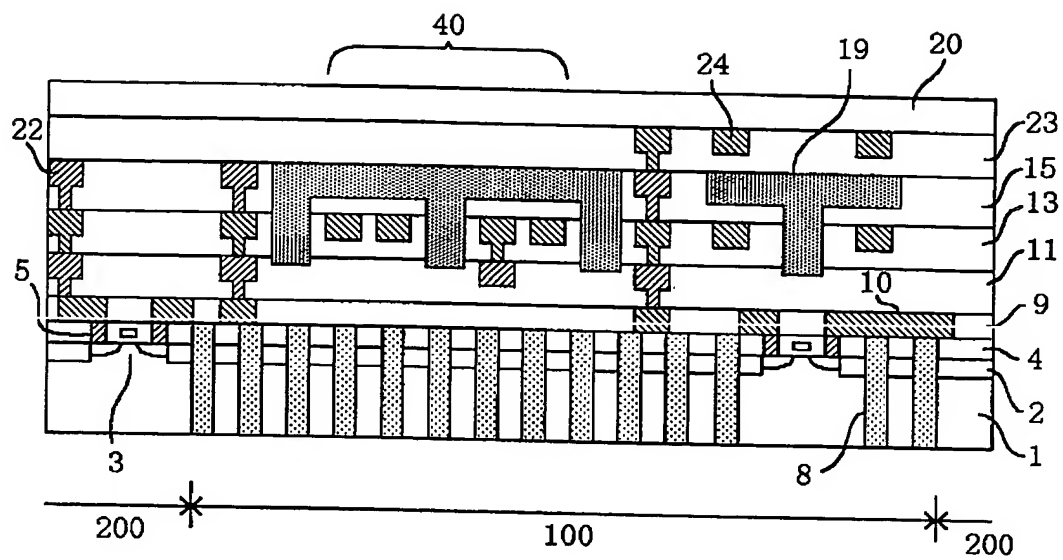
[図18]



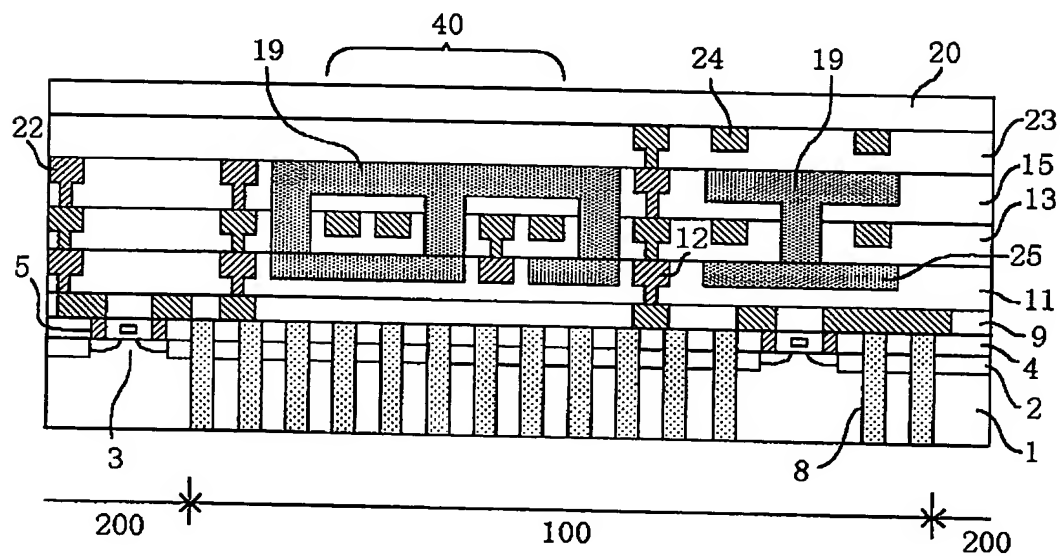
[図19]



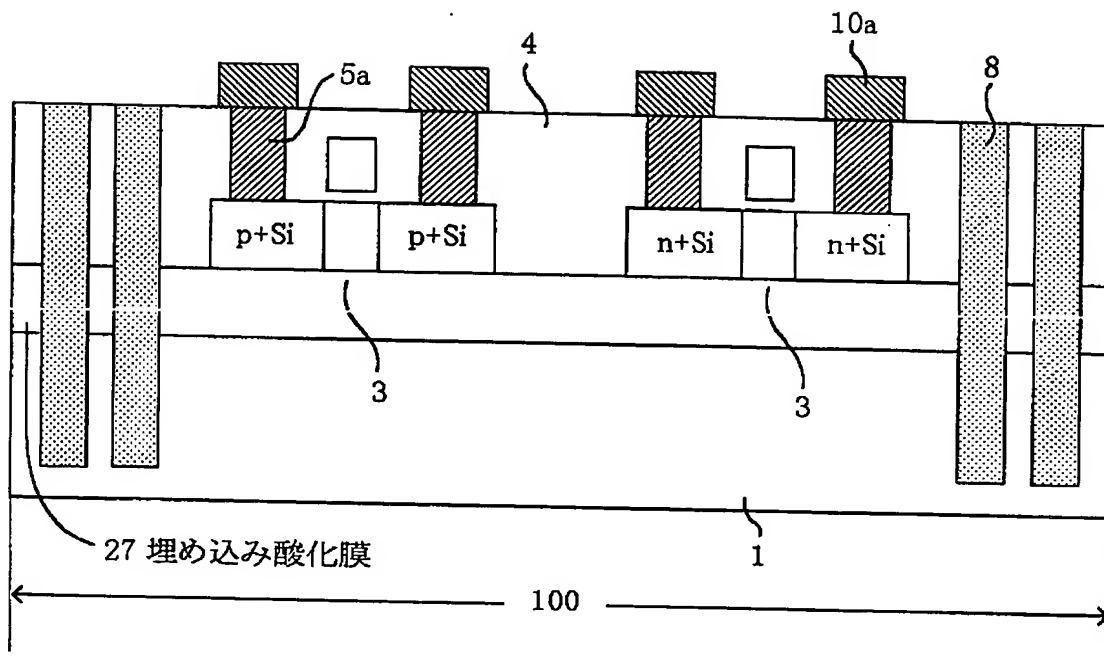
[図20]



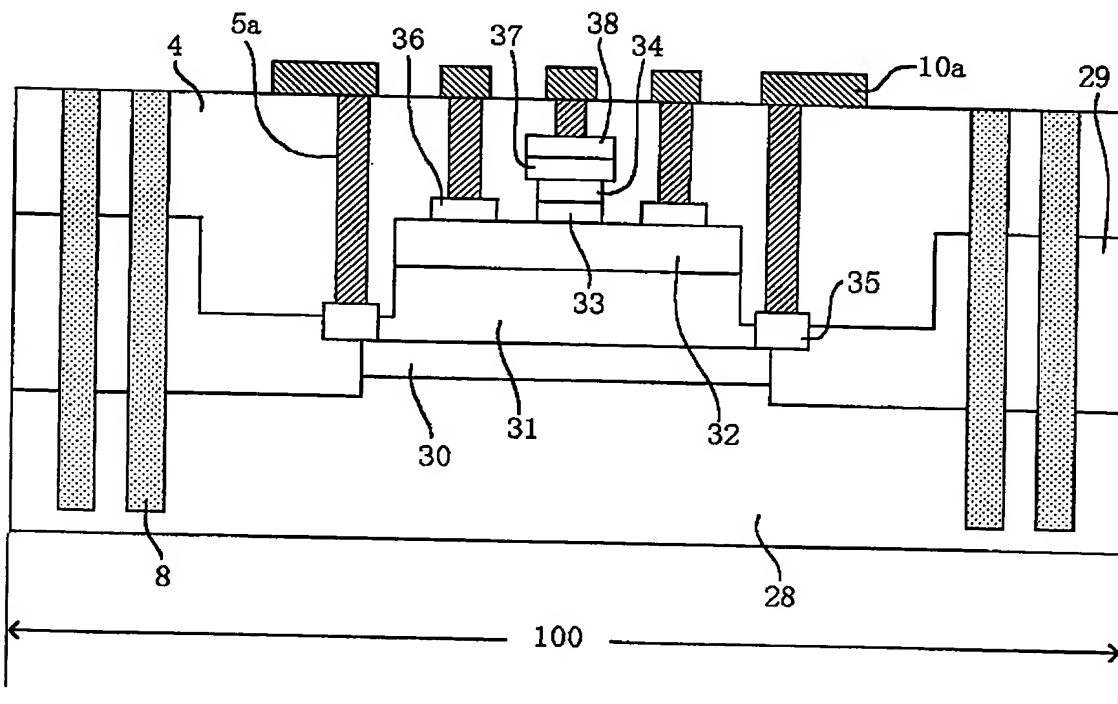
[図21]



[図22]



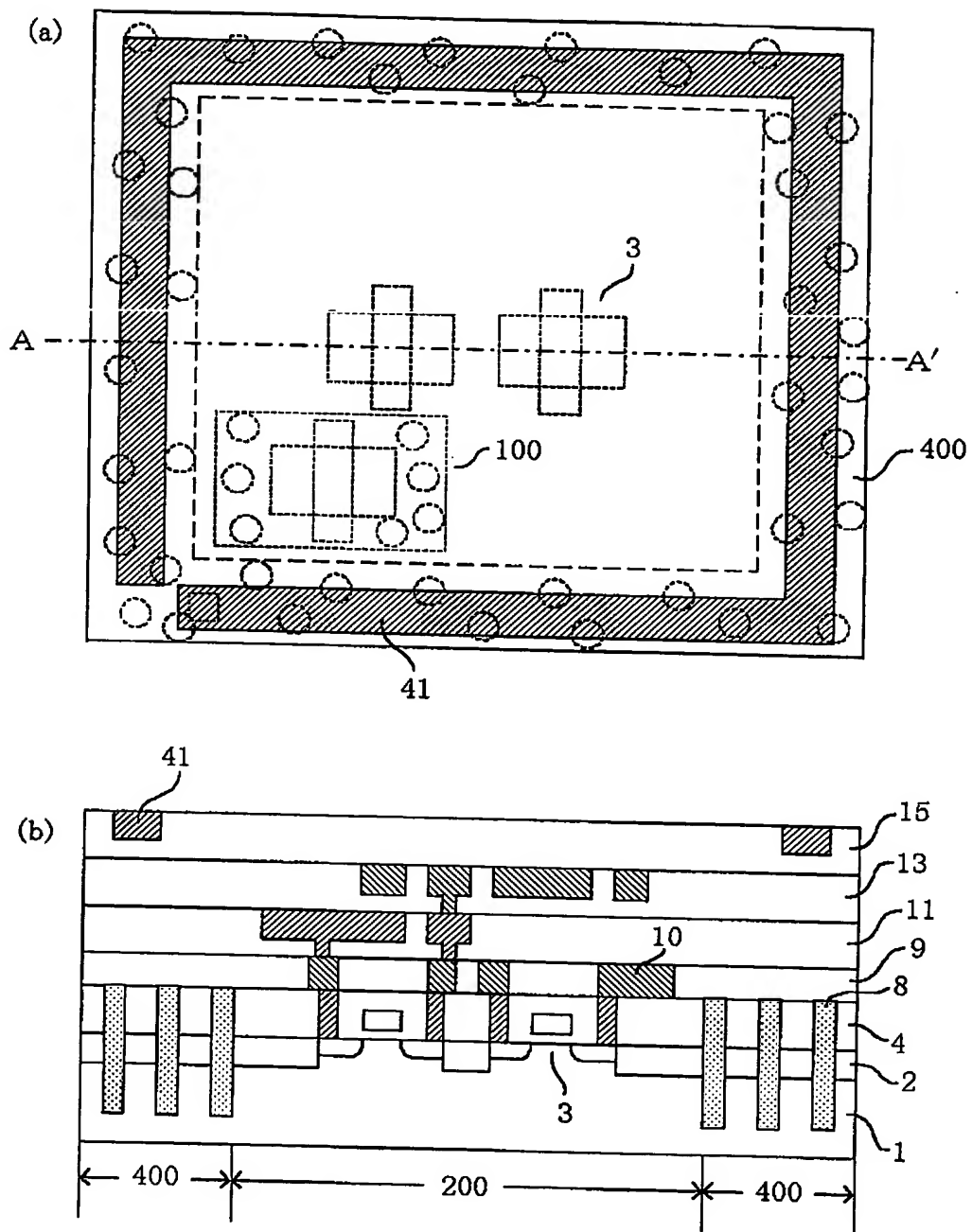
[図23]



28 半絶縁性GaAs基板  
 29 H<sup>+</sup>注入高抵抗領域  
 30 n<sup>+</sup>-GaAs層  
 31 n<sup>-</sup>-GaAs層  
 32 p<sup>+</sup>-GaAs層

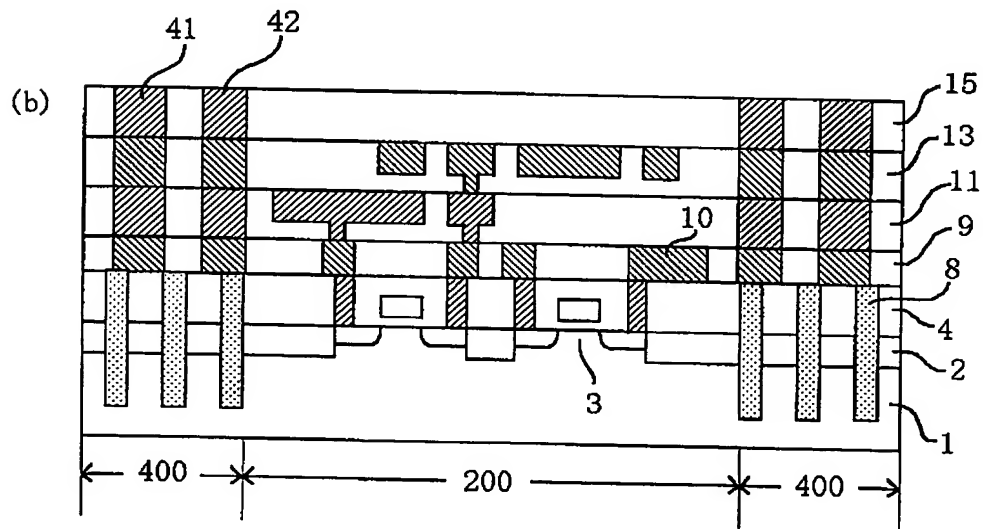
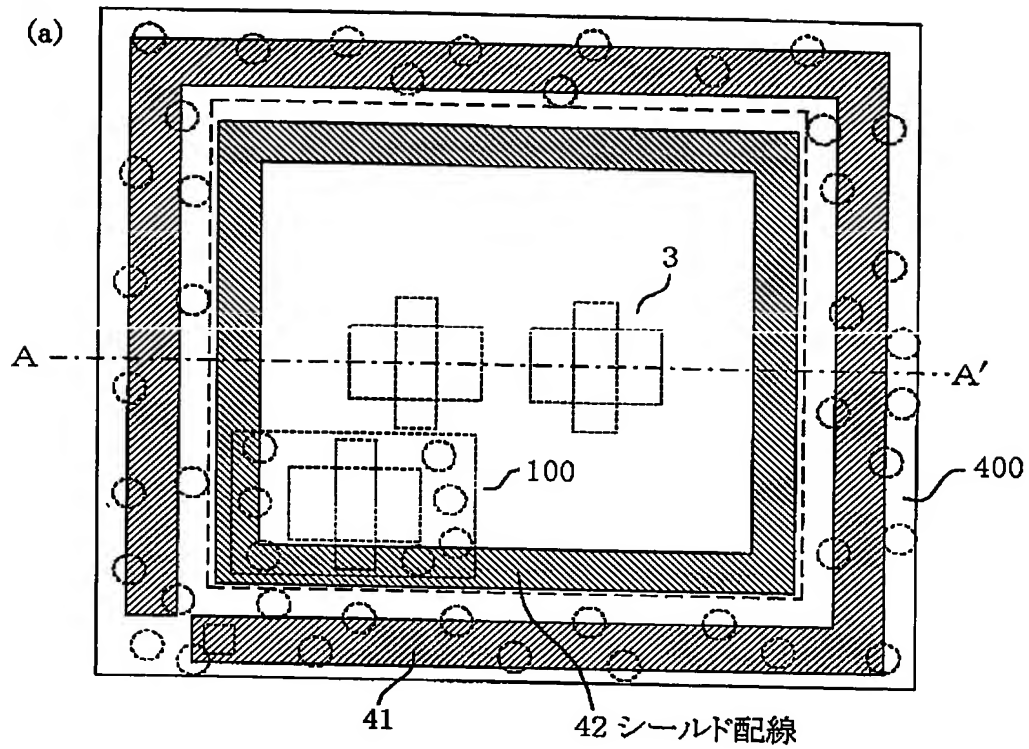
33 n-AlGaAs層  
 34 n-InGaAs層  
 35 Au/Ni/AuGe層  
 36、38 Au/Pt/Ti層  
 37 WSi層

[図24]

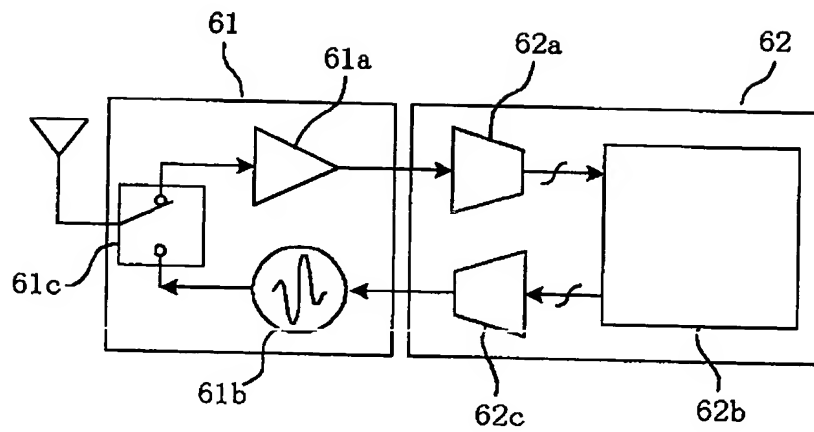


41 オンチップアンテナ配線  
400 周辺高抵抗領域

[図25]



[図26]



61 RF通信回路領域

61a LNA

61b 送信信号生成回路

61c スイッチ回路

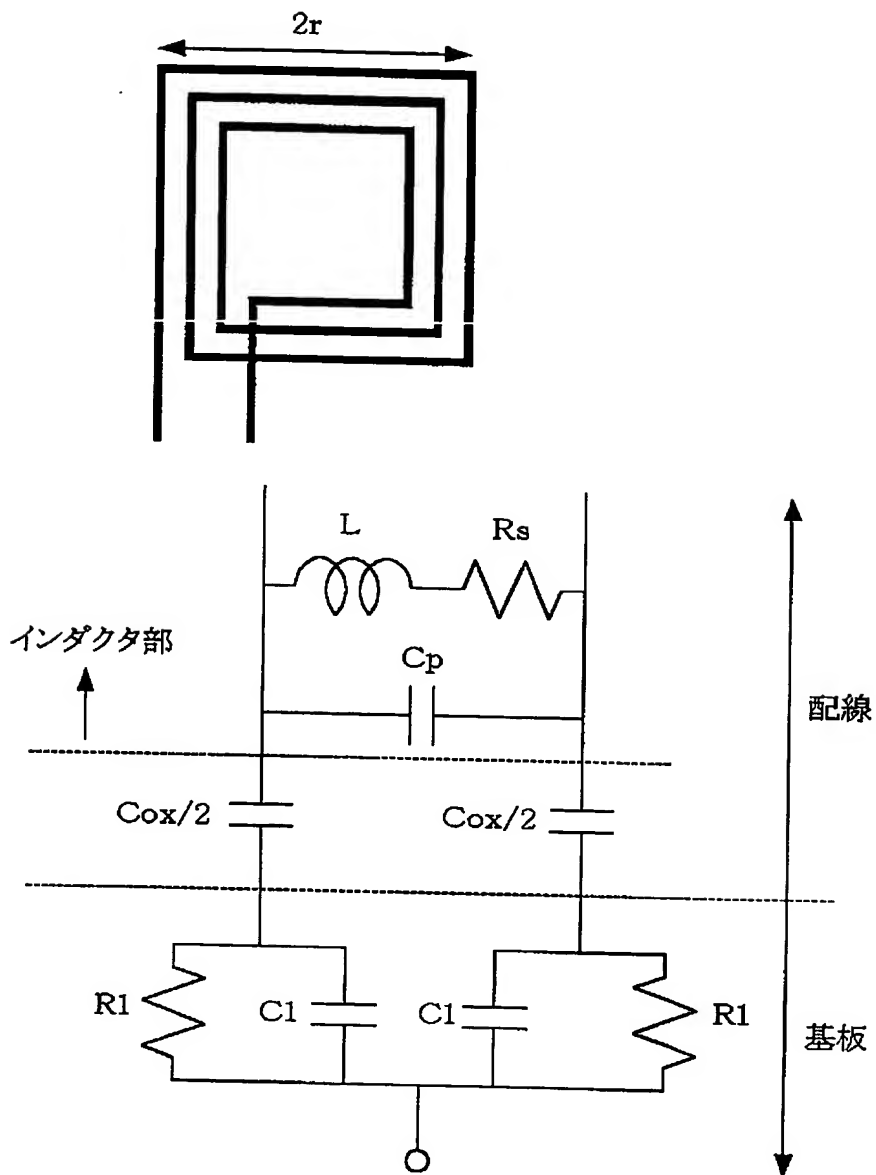
62 デジタルベースバンド

62a A/D回路

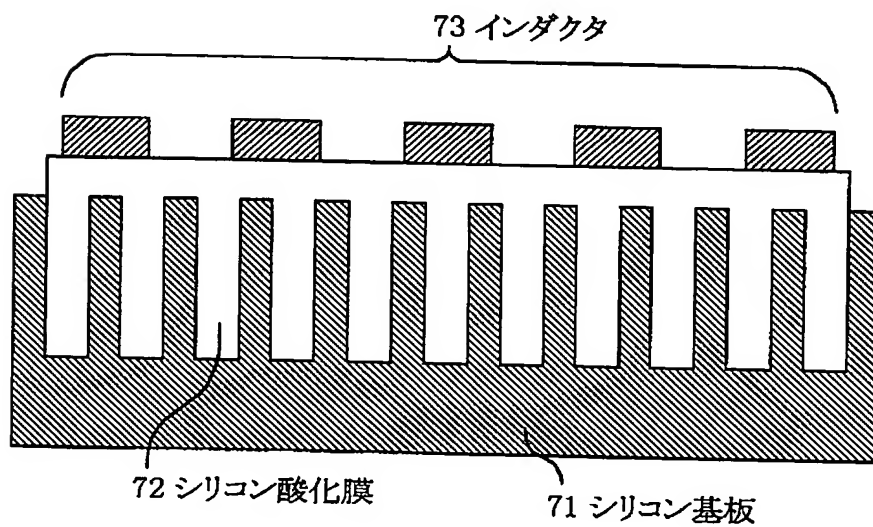
62b デジタル信号処理回路

62c D/A回路

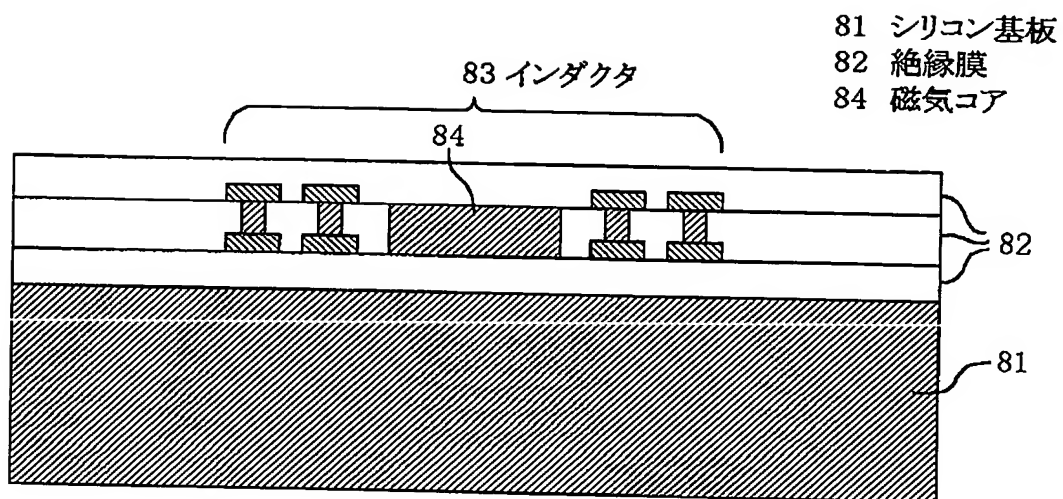
[図27]



[図28]

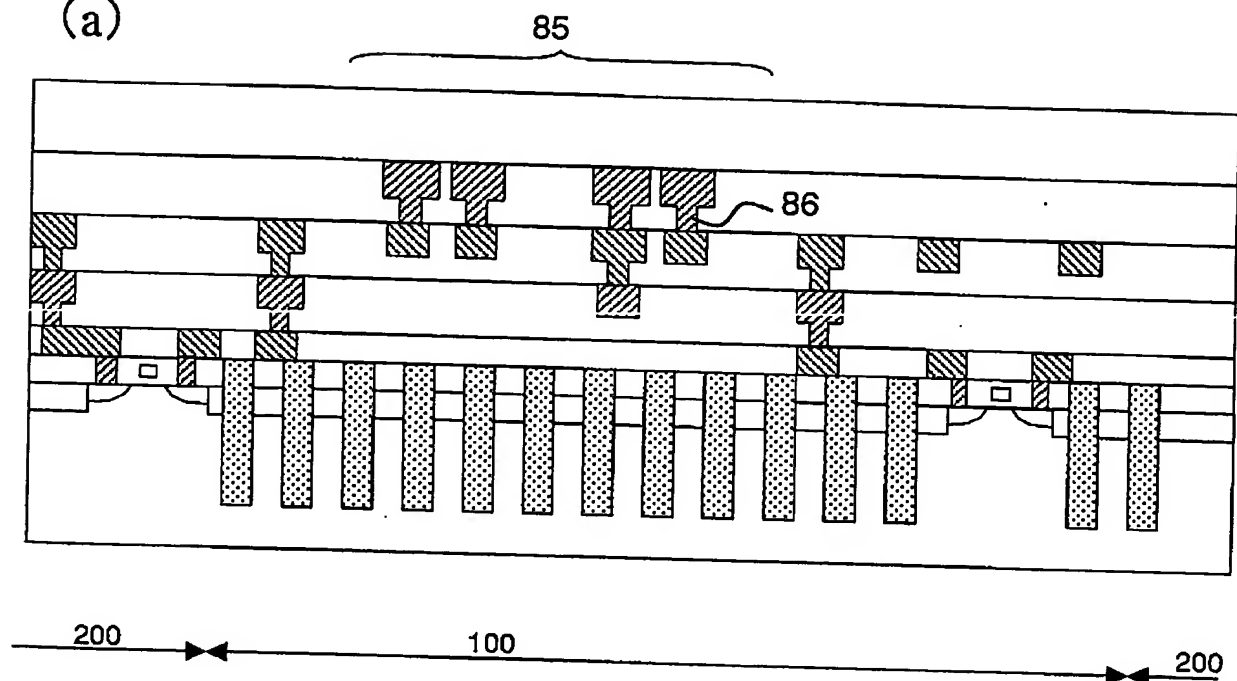


[図29]

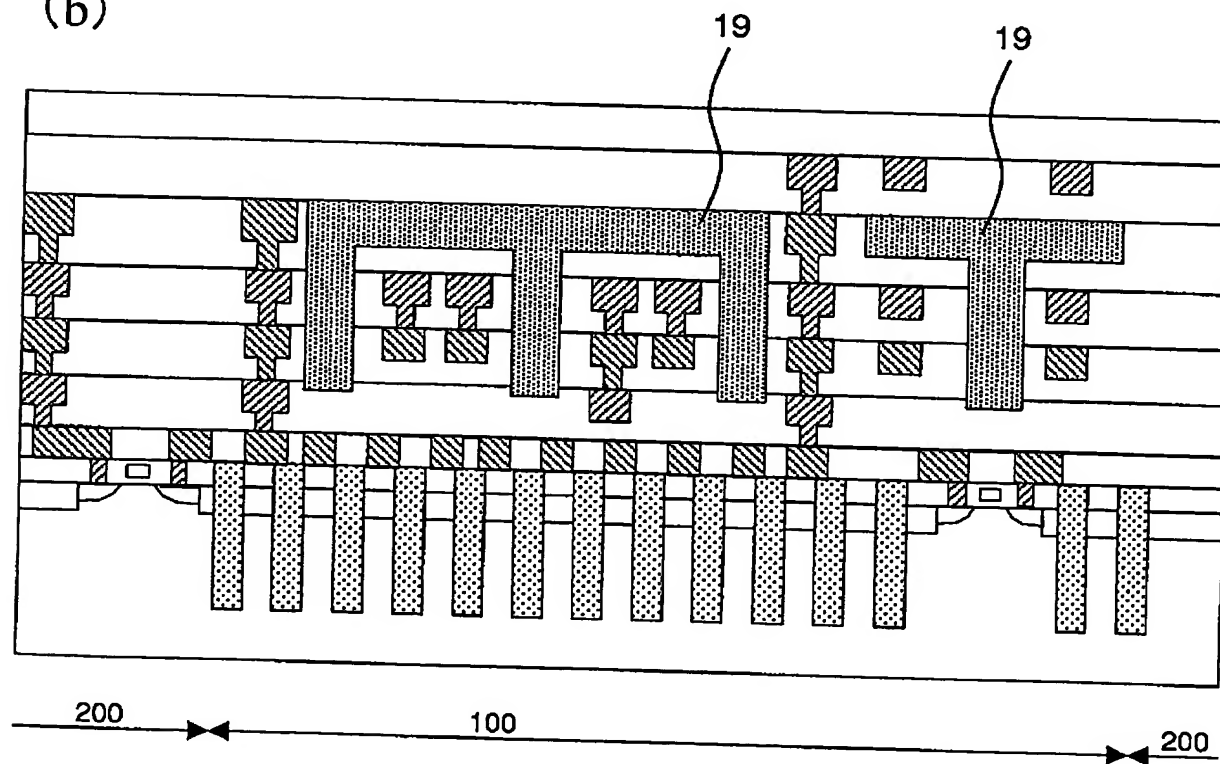


[図30]

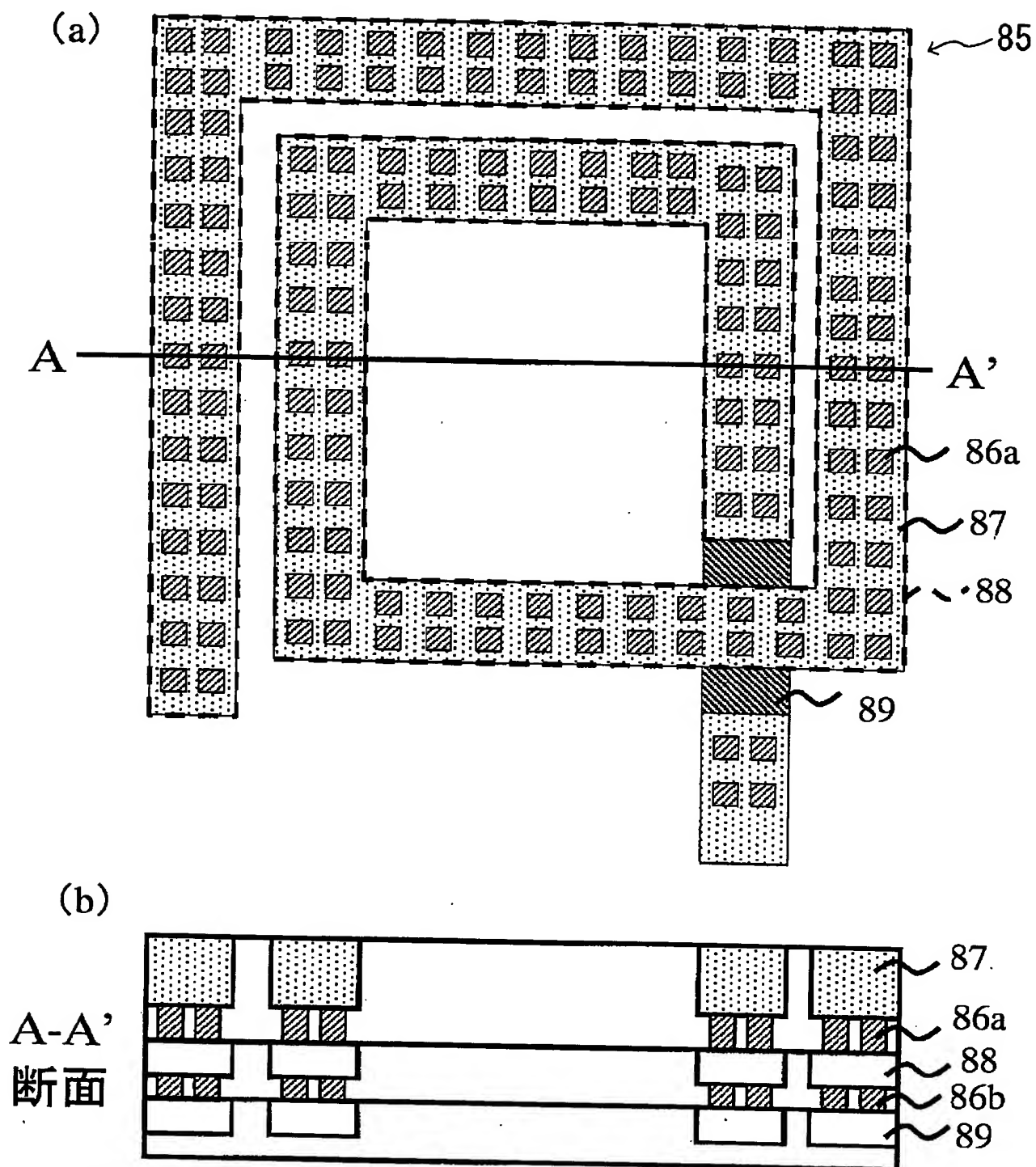
(a)



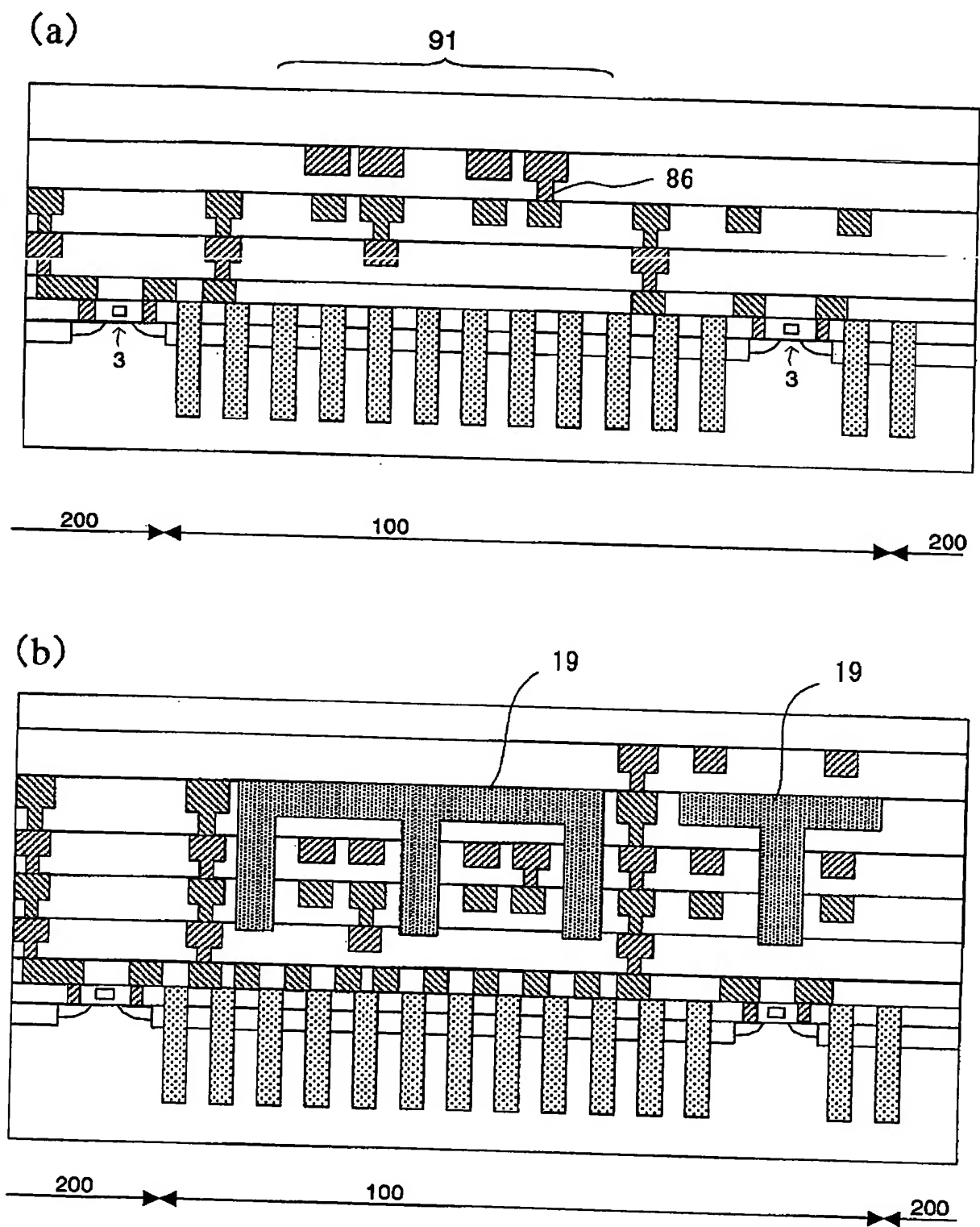
(b)



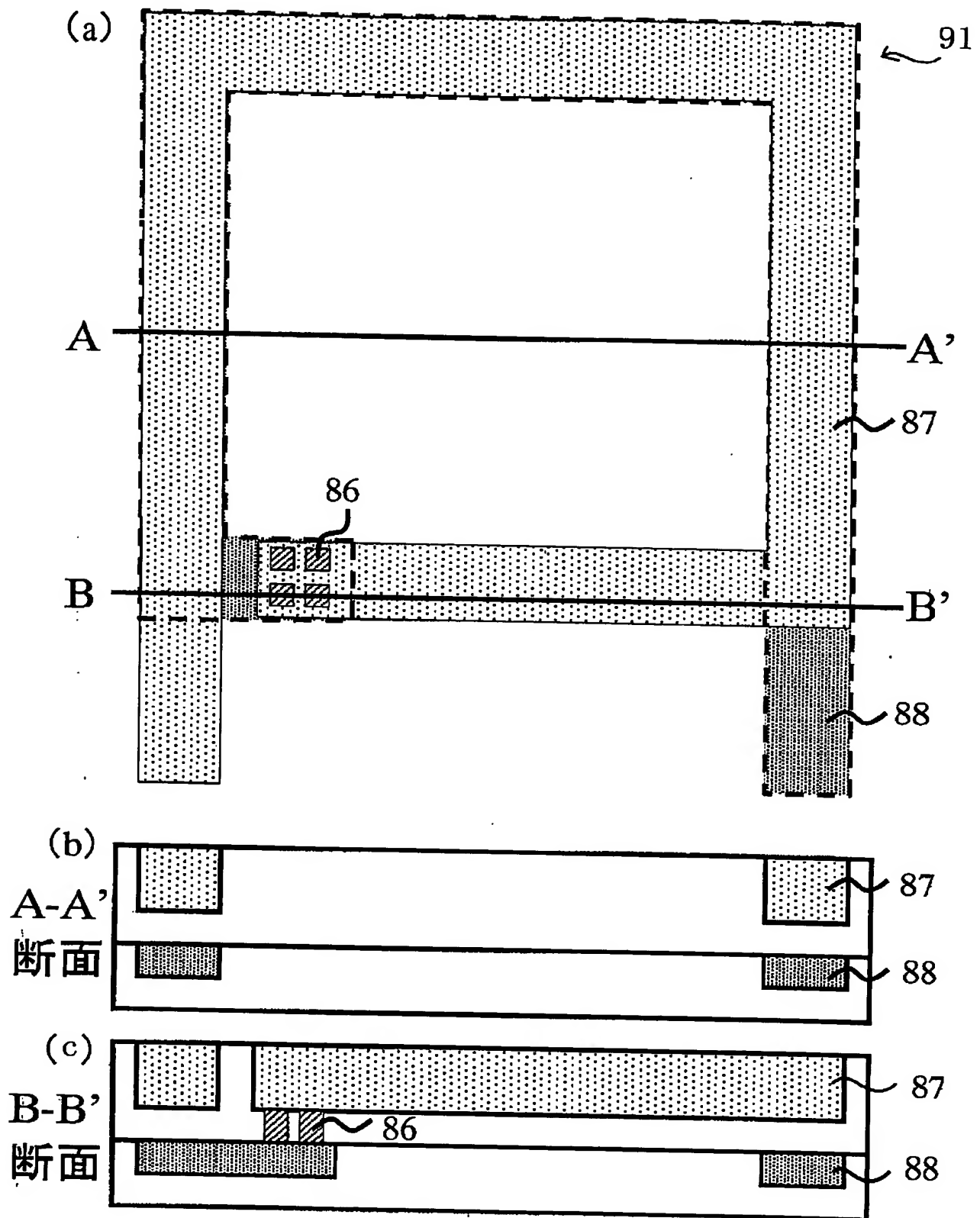
[図31]



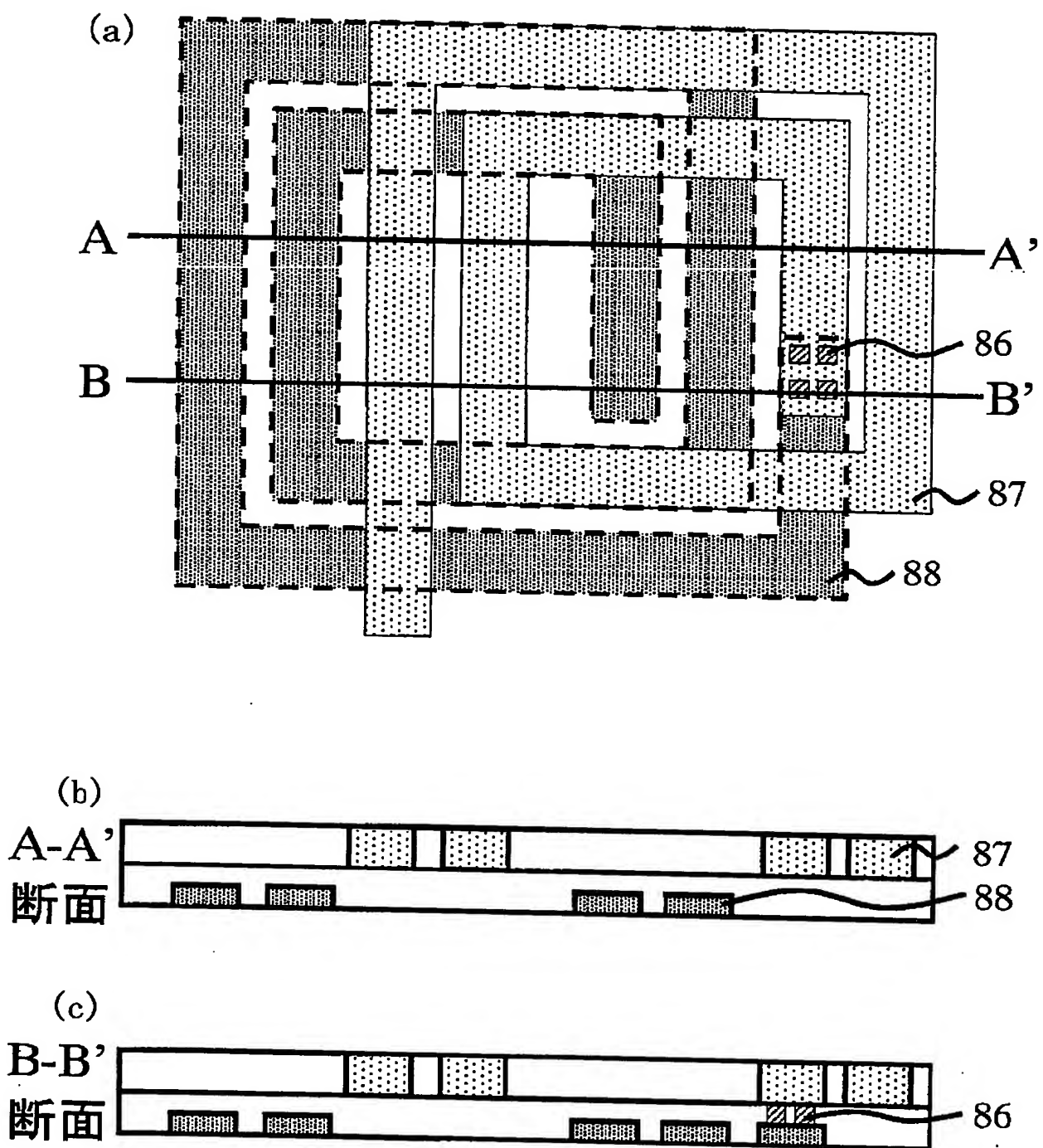
[図32]



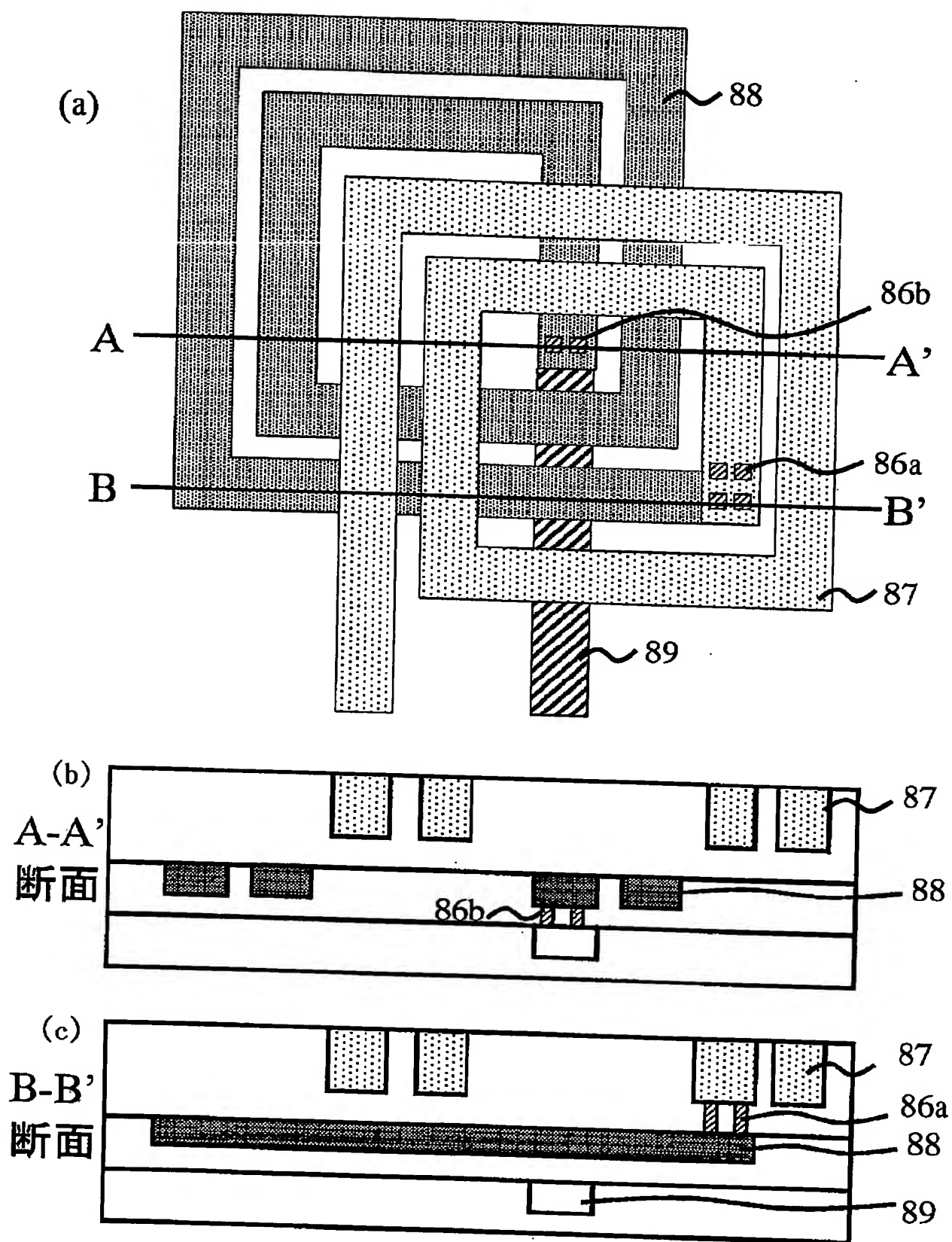
[図33]



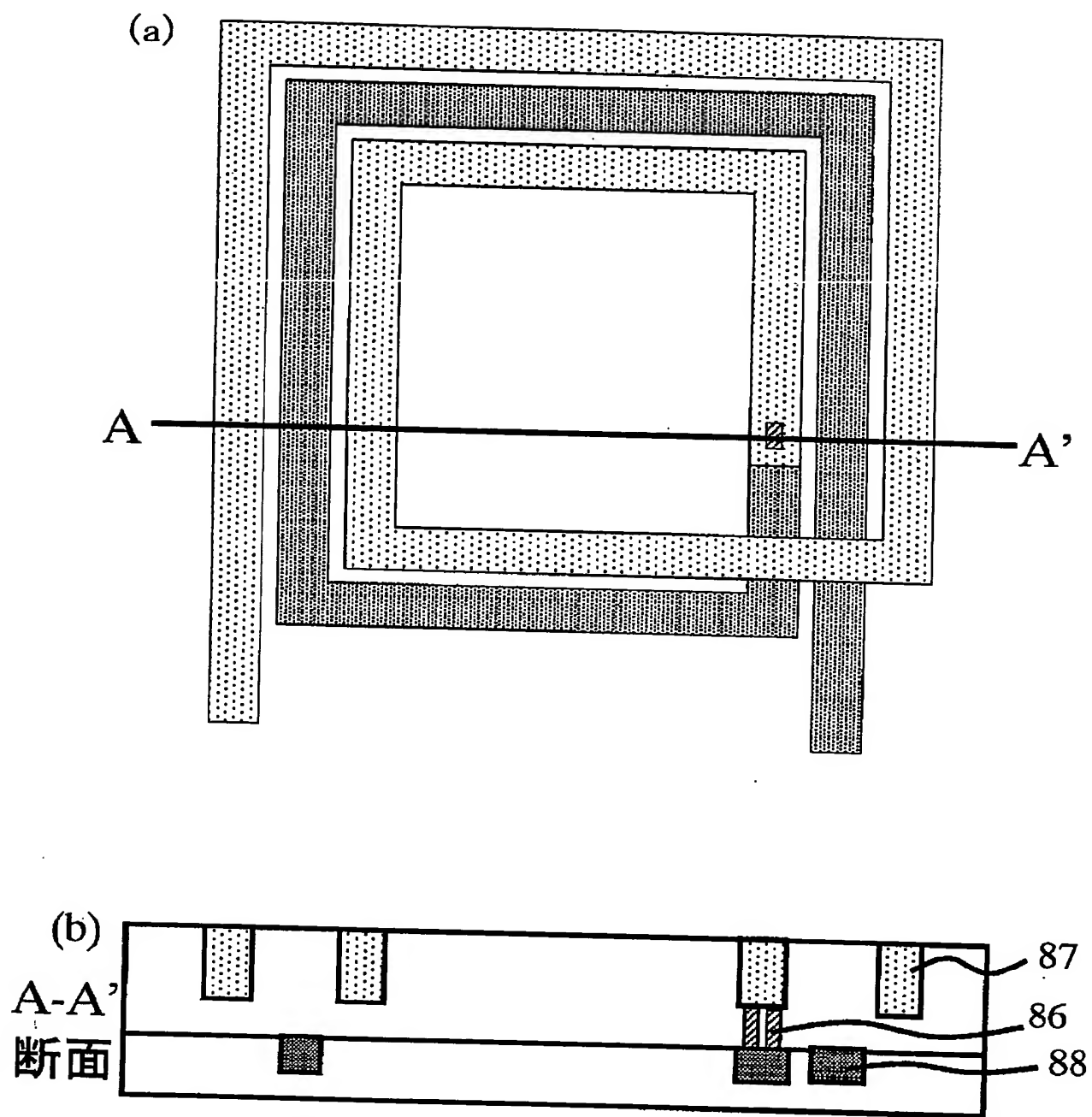
[図34]



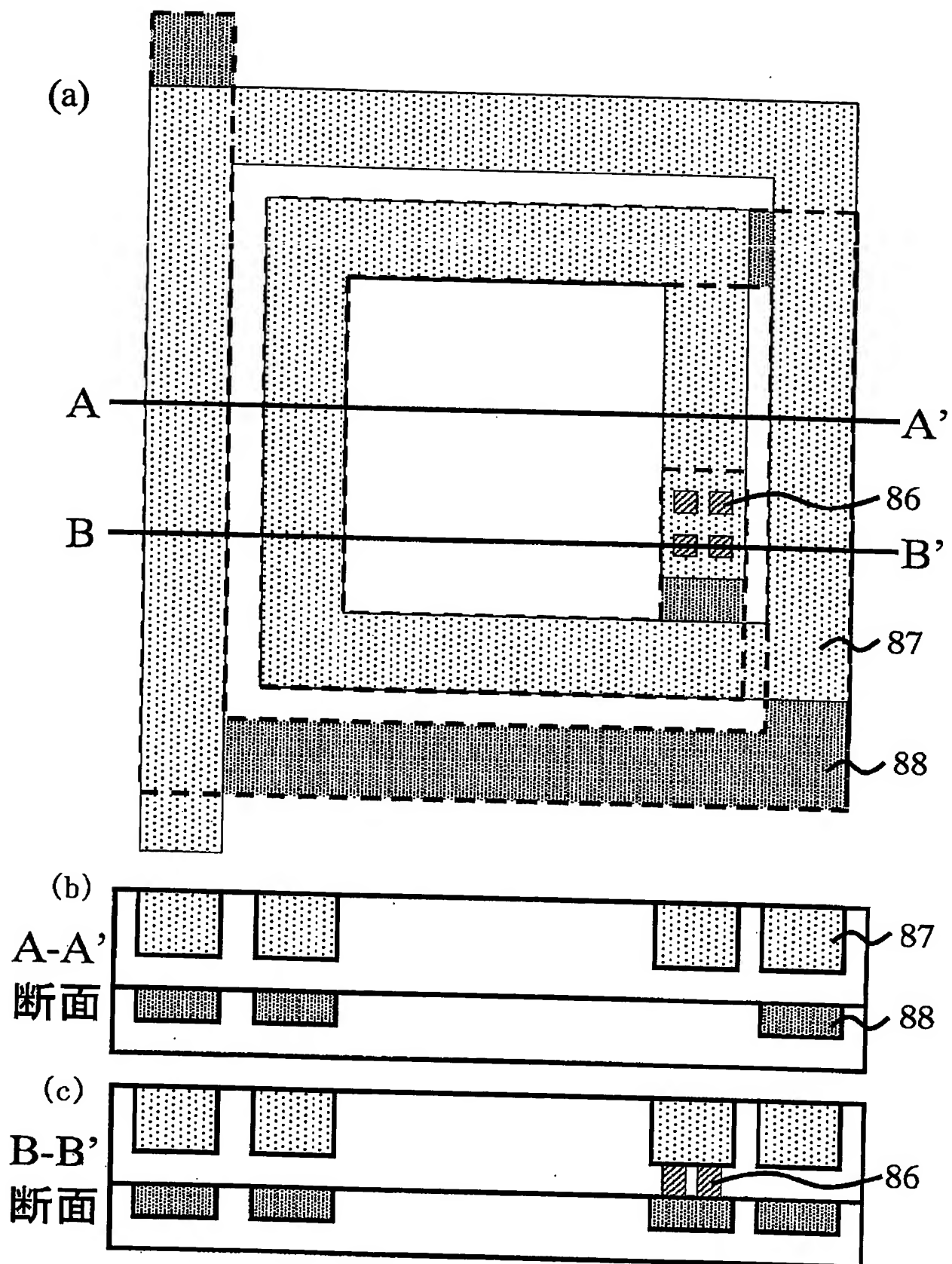
[図35]



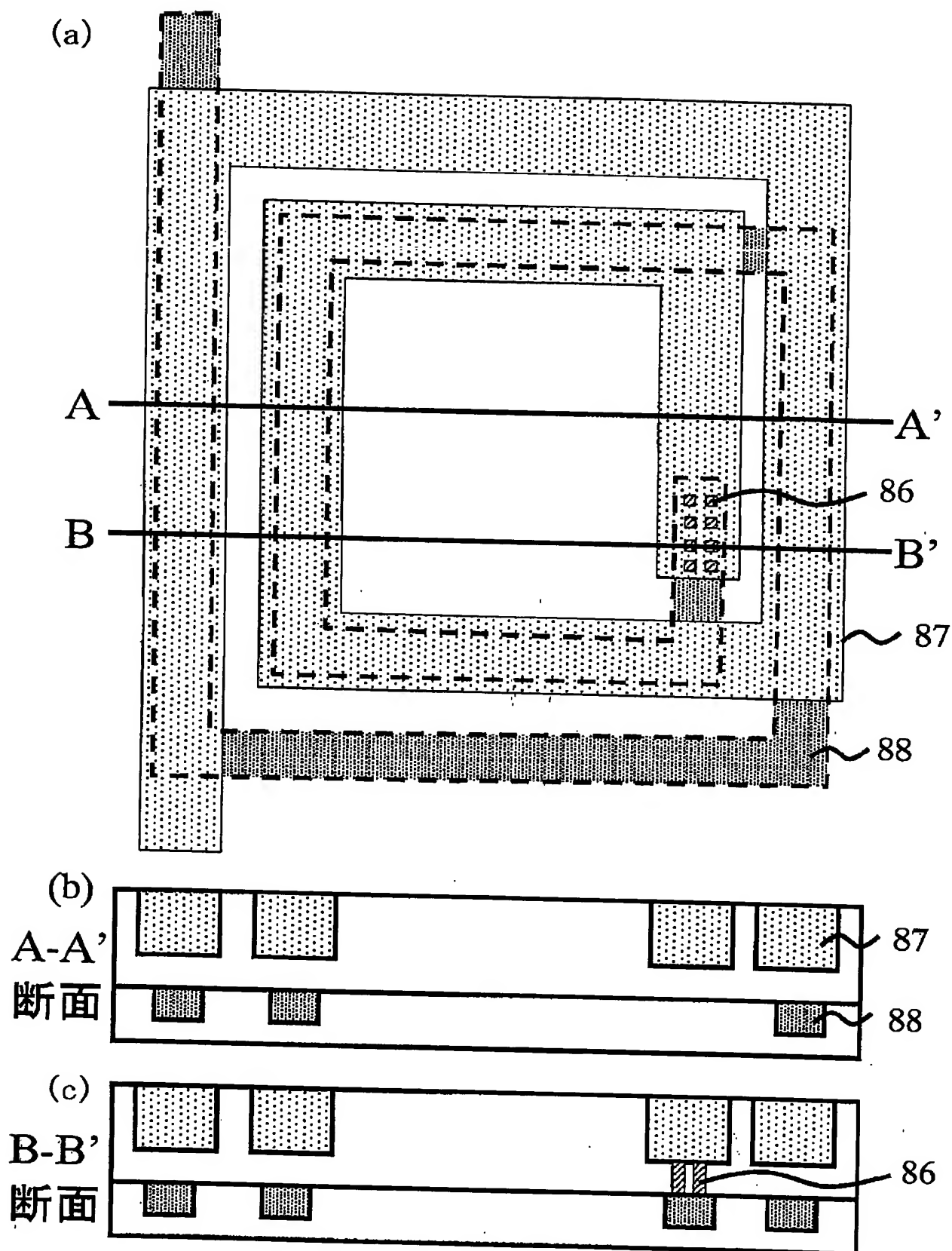
[図36]



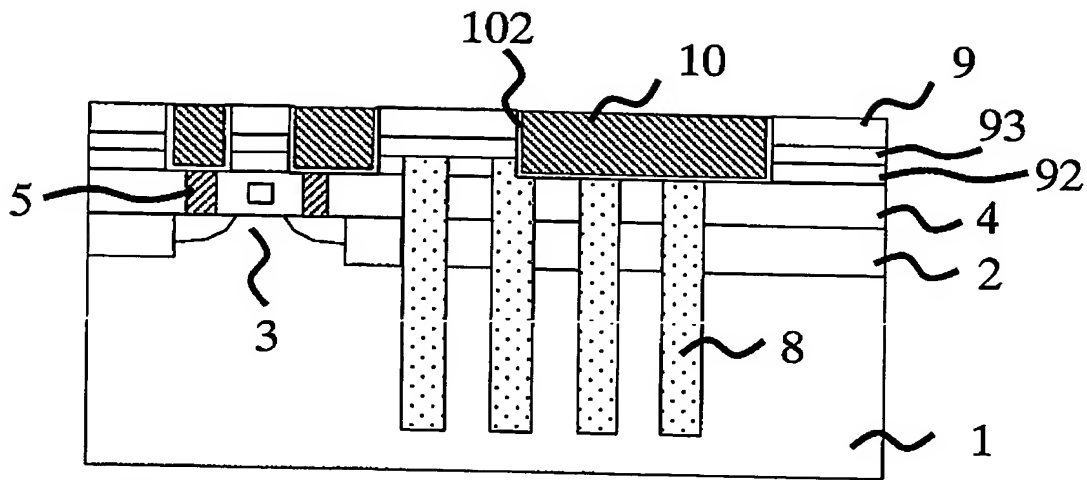
[図37]



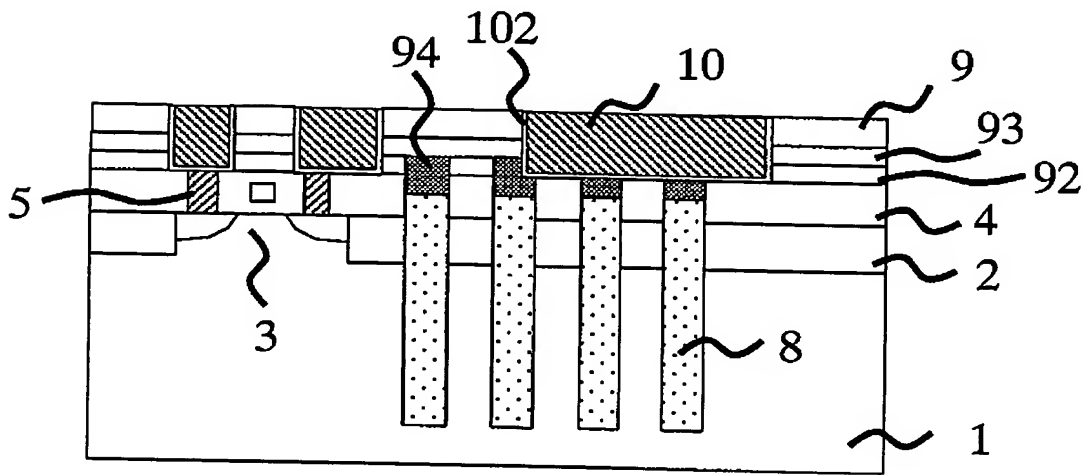
[図38]



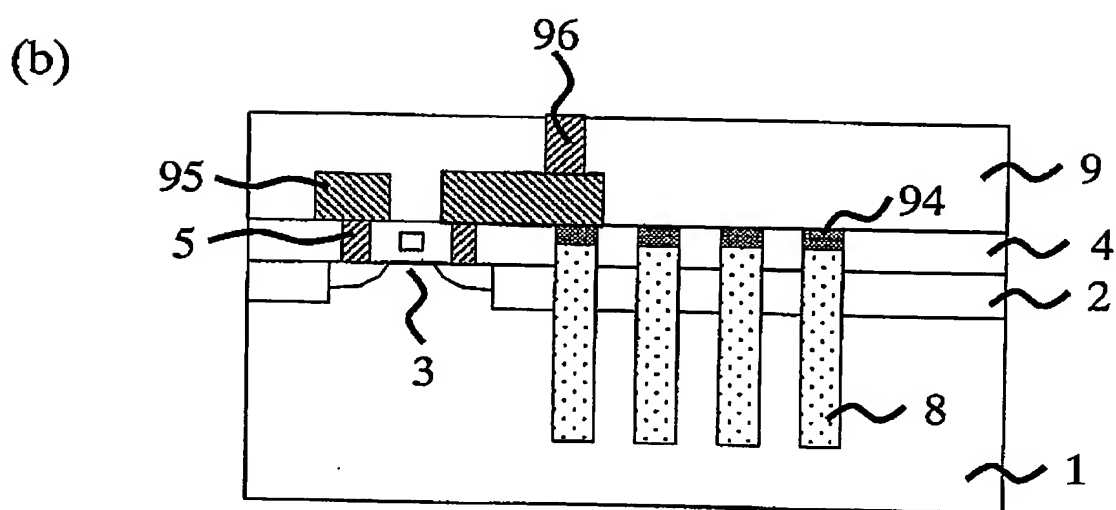
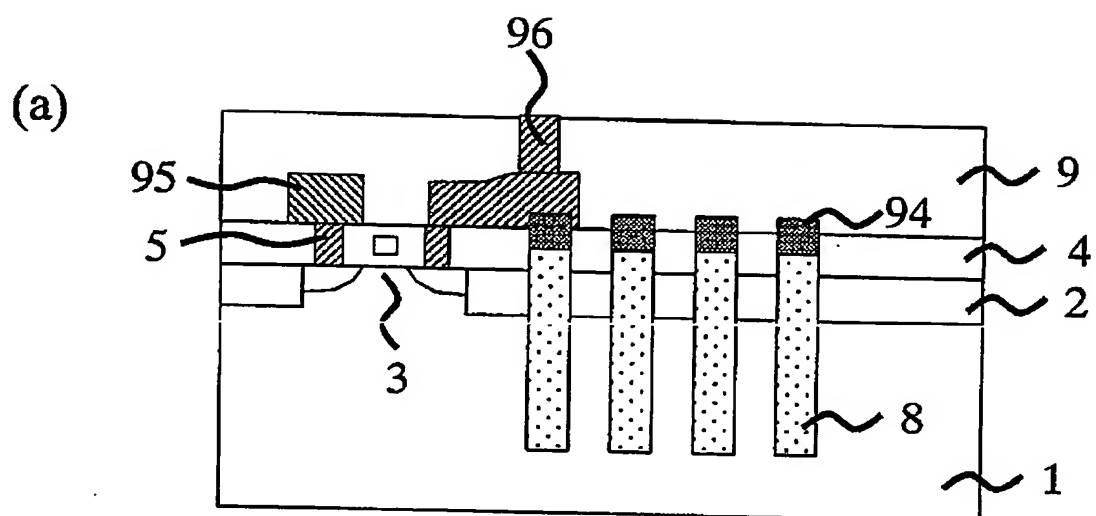
[図39]



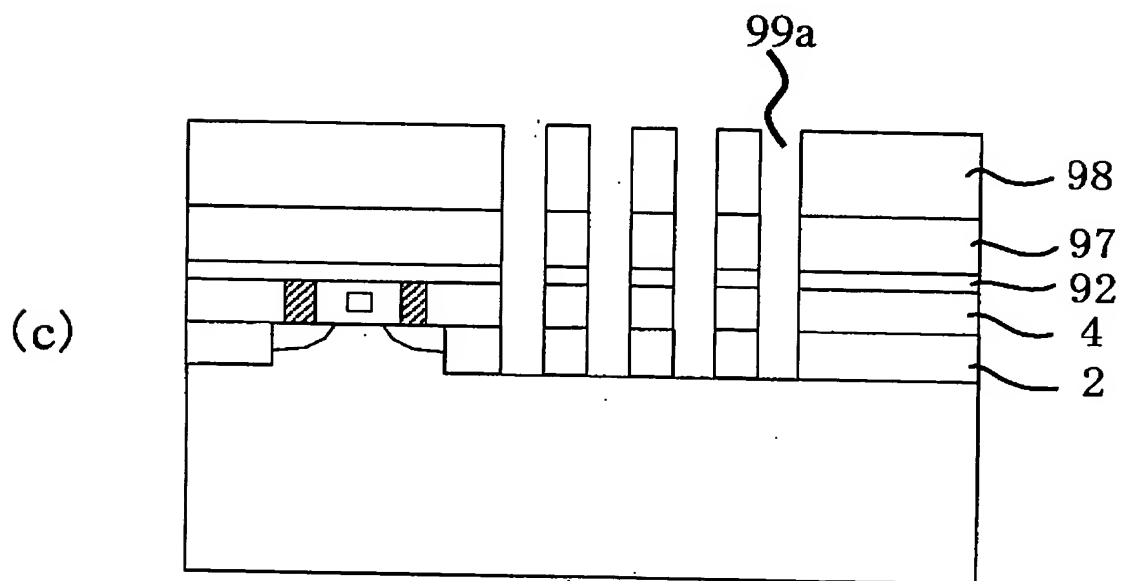
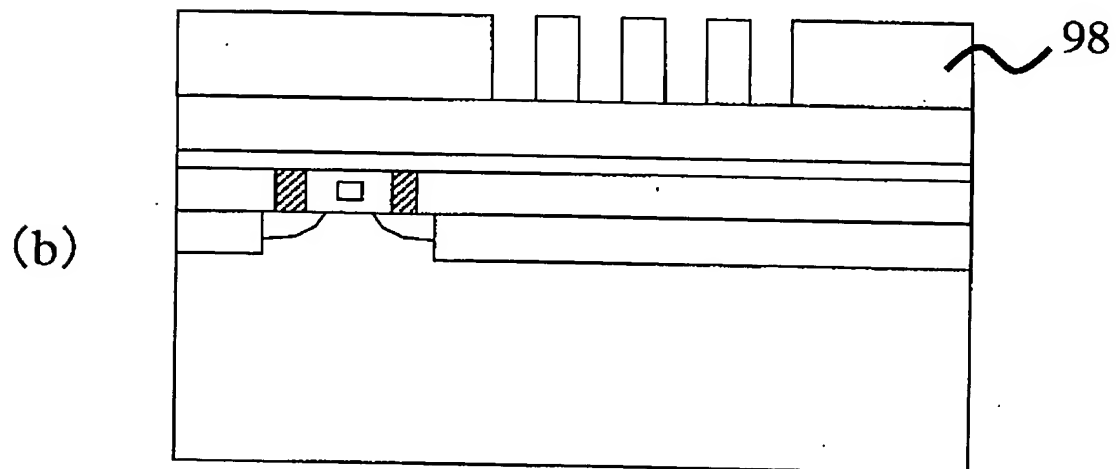
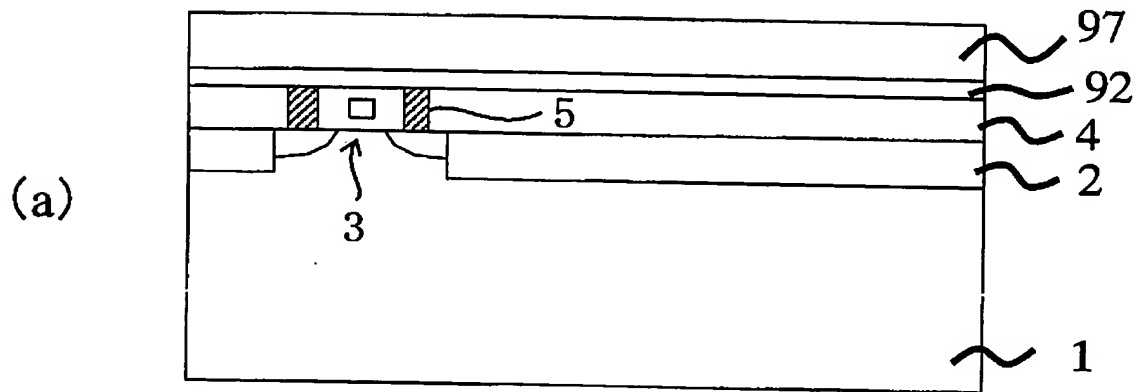
[図40]



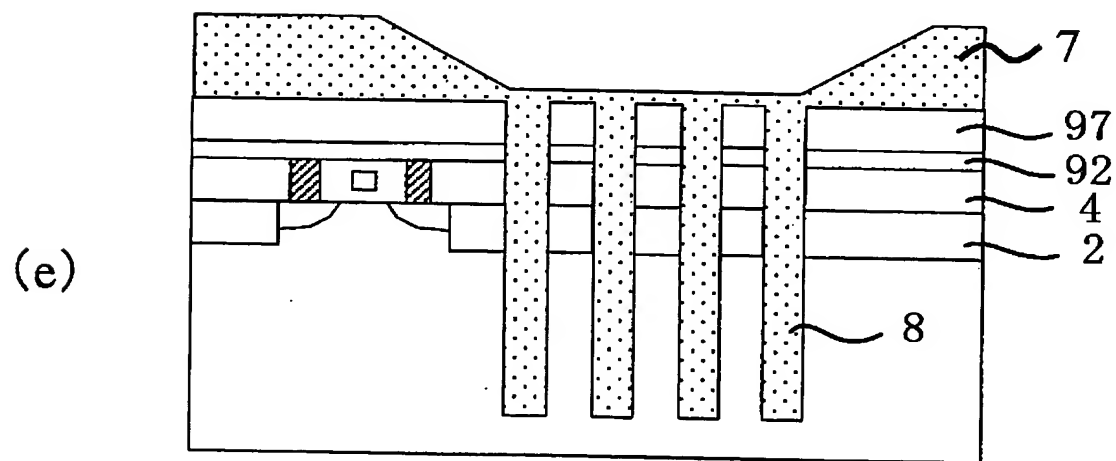
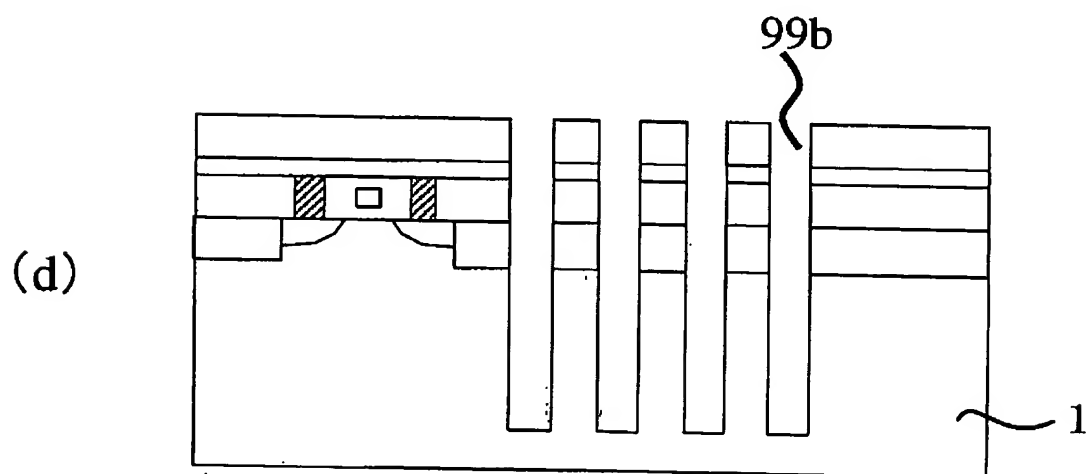
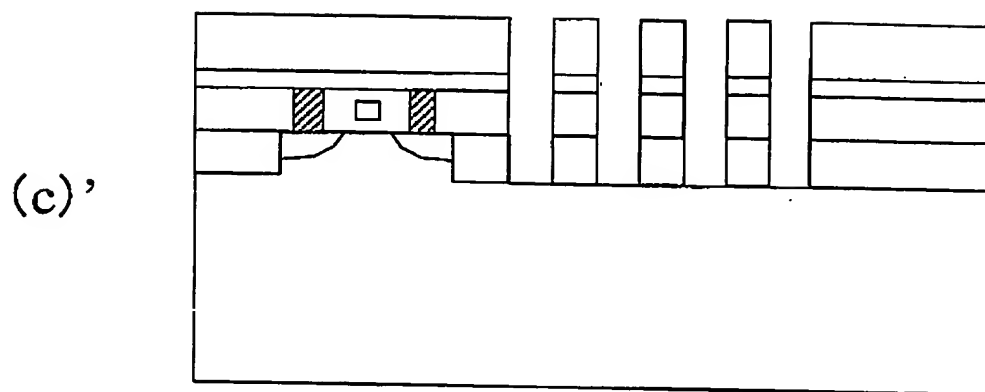
[図41]



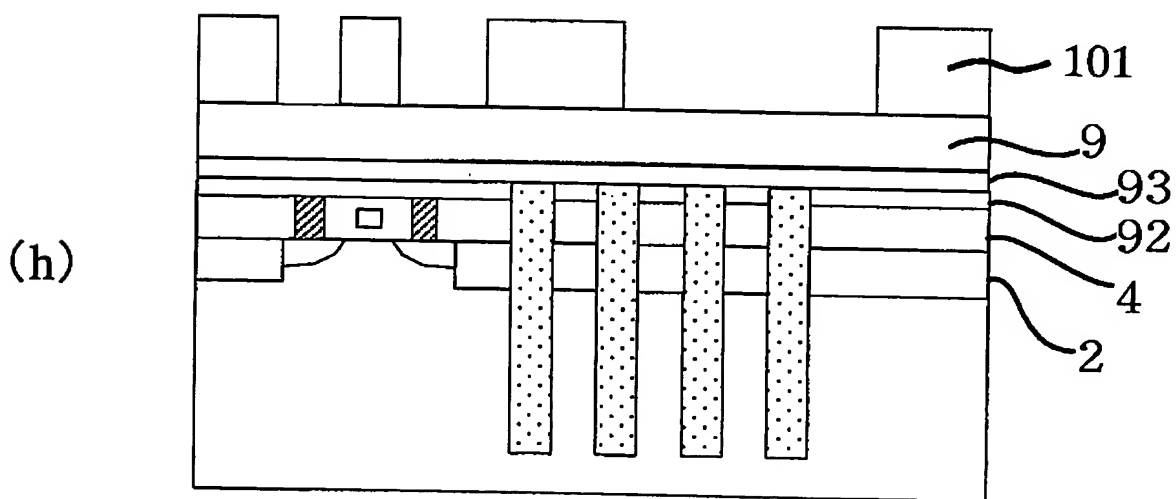
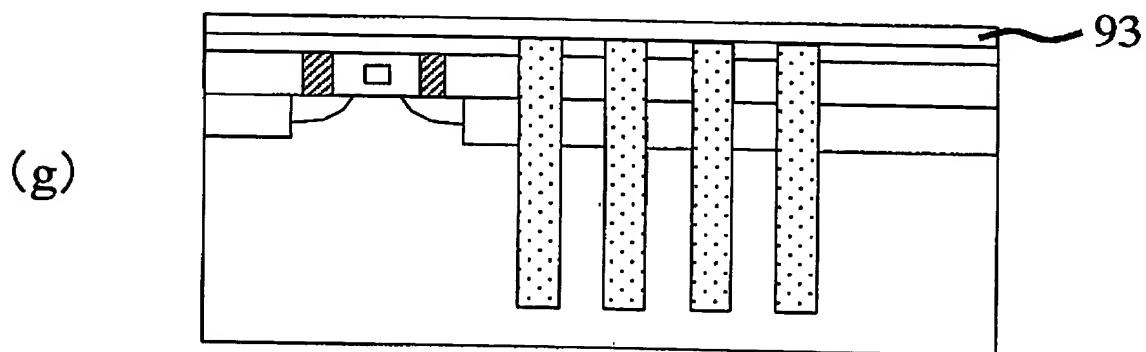
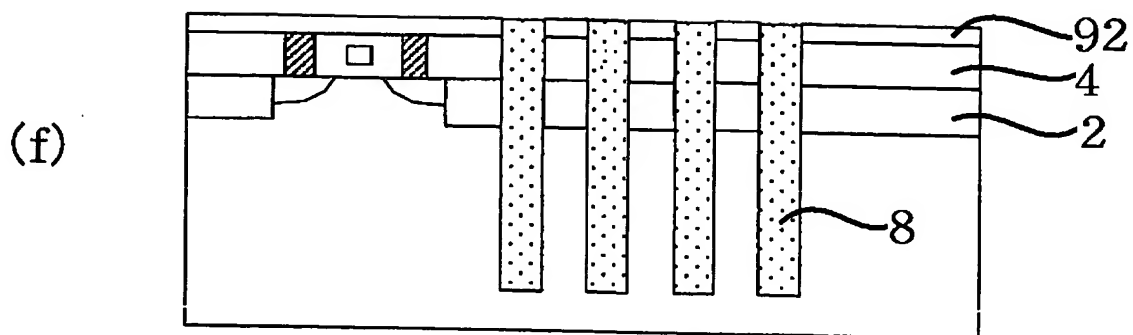
[図42]



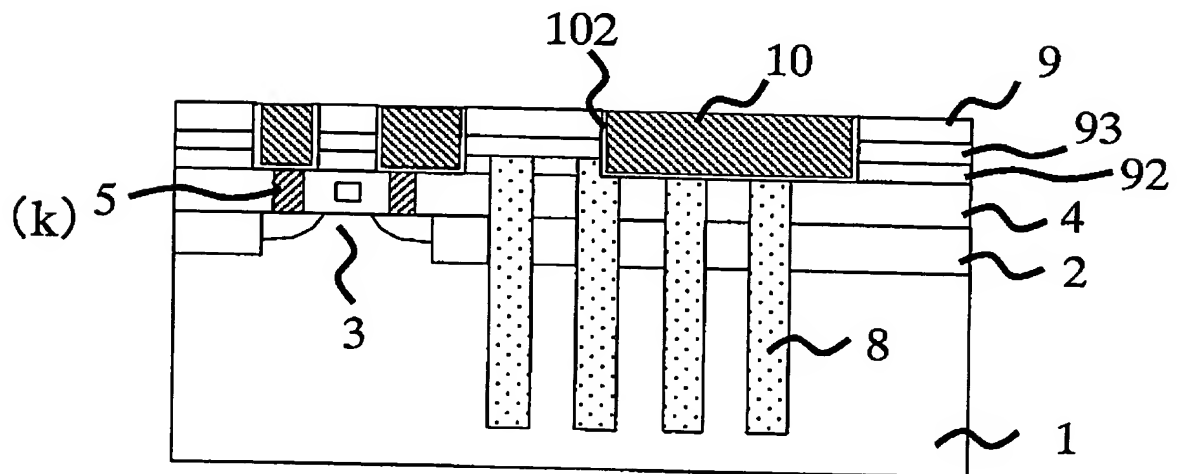
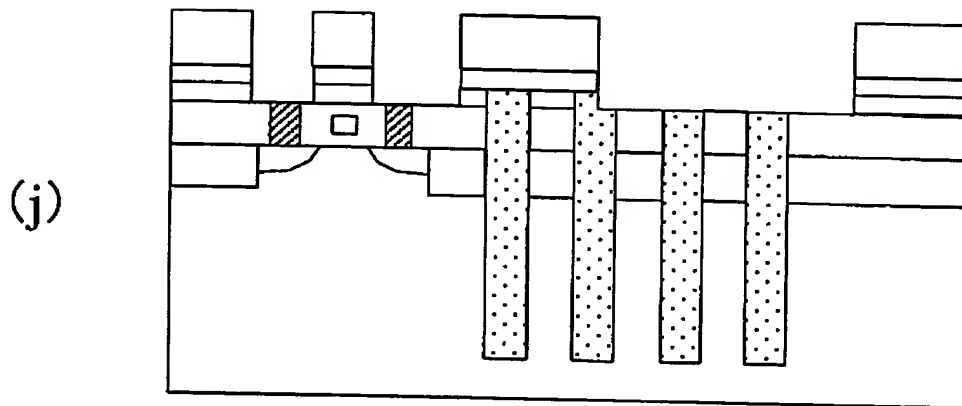
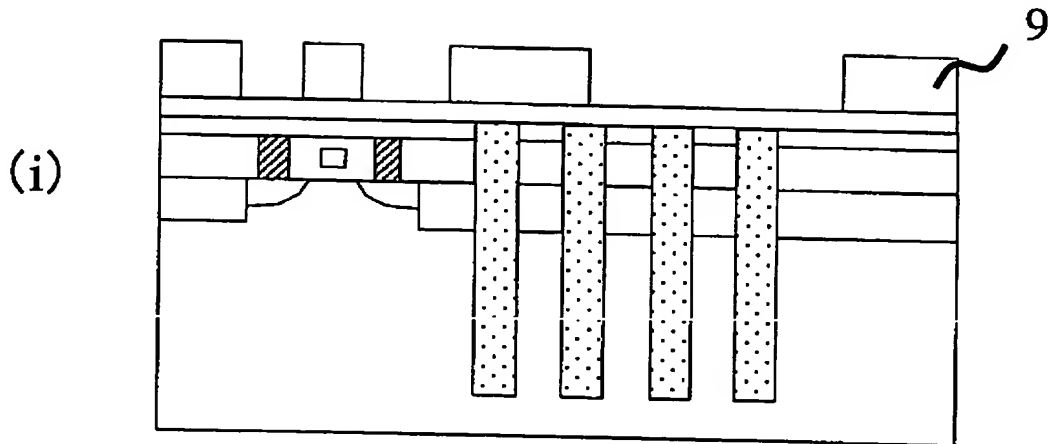
[図43]



[図44]

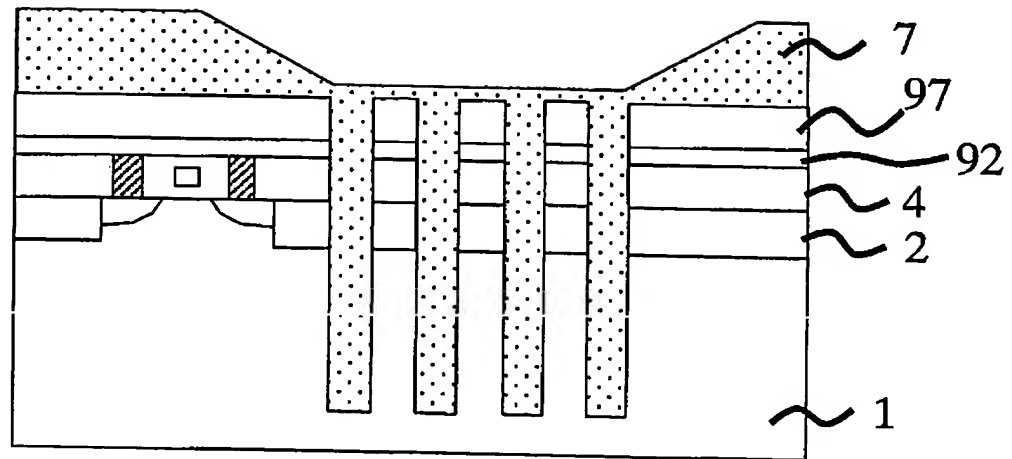


[図45]

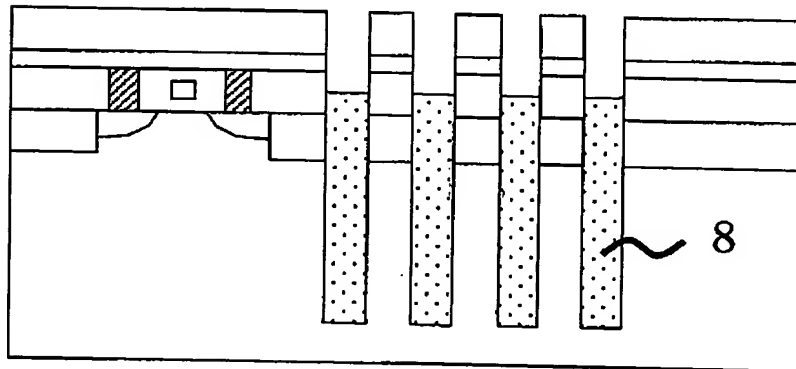


[図46]

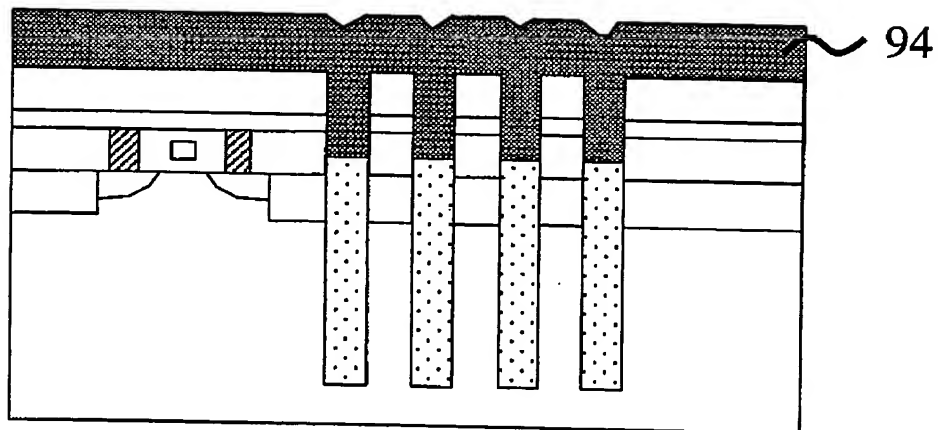
(e)



(f)

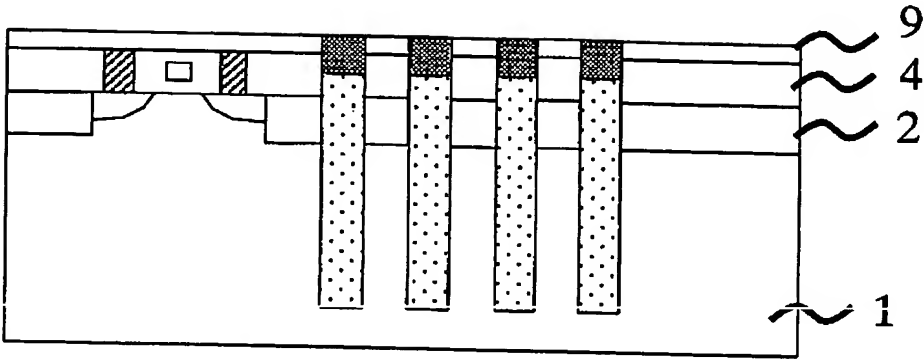


(g)

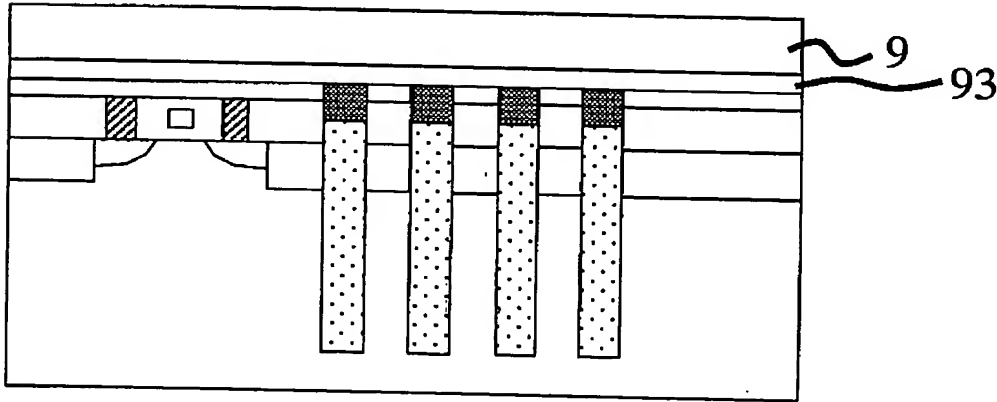


[図47]

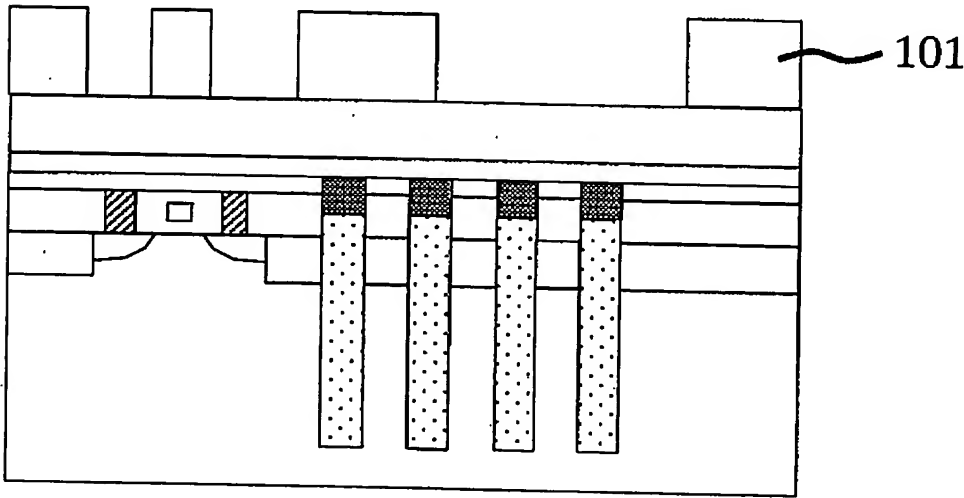
(h)



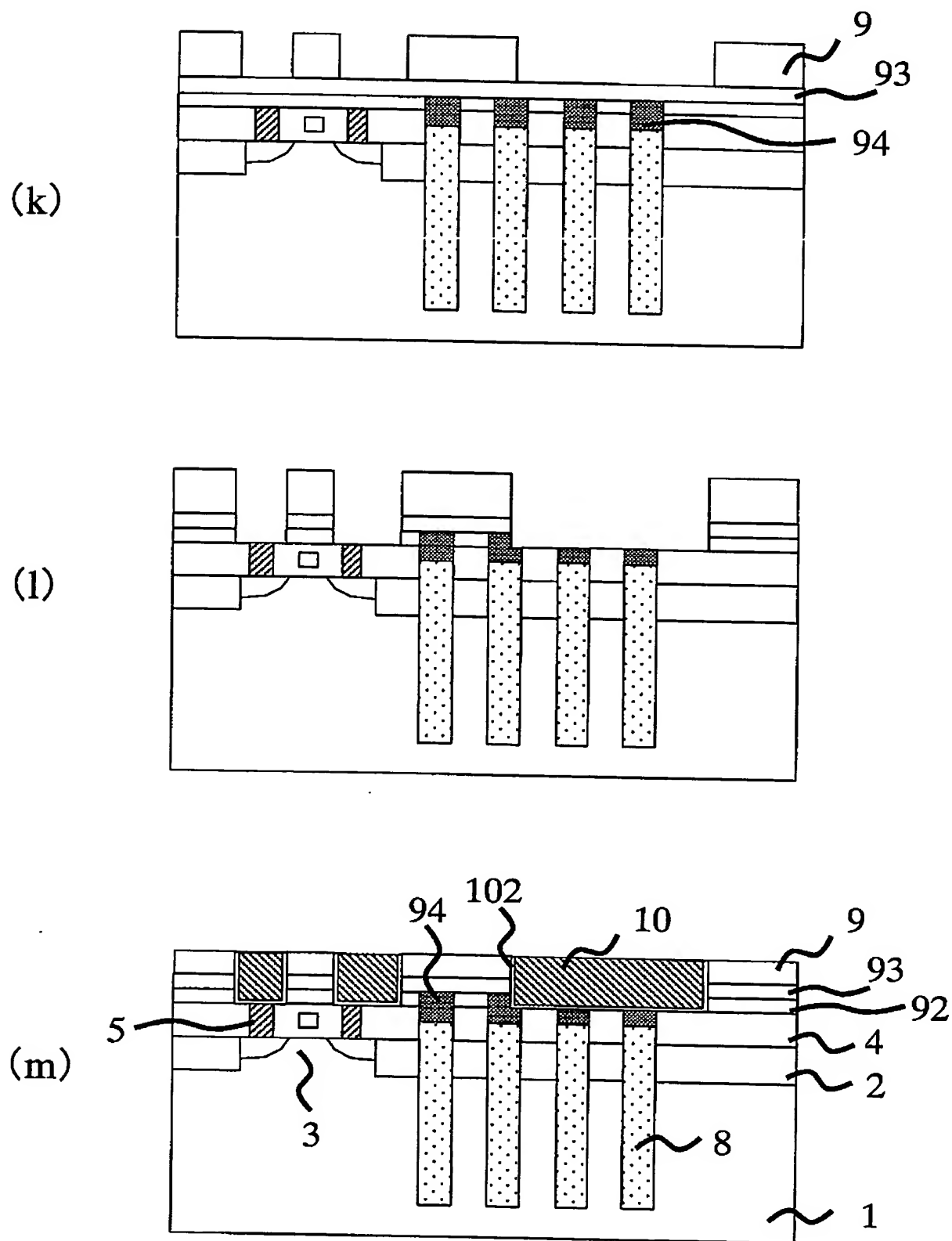
(i)



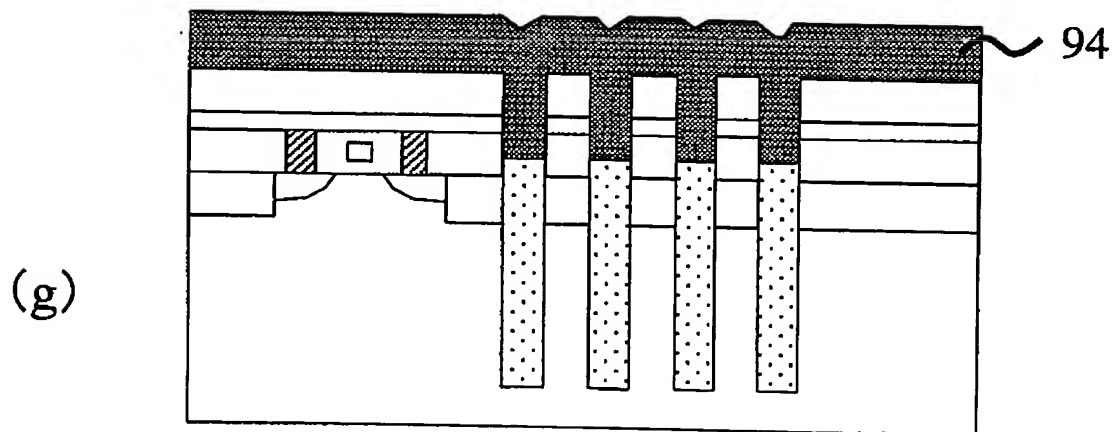
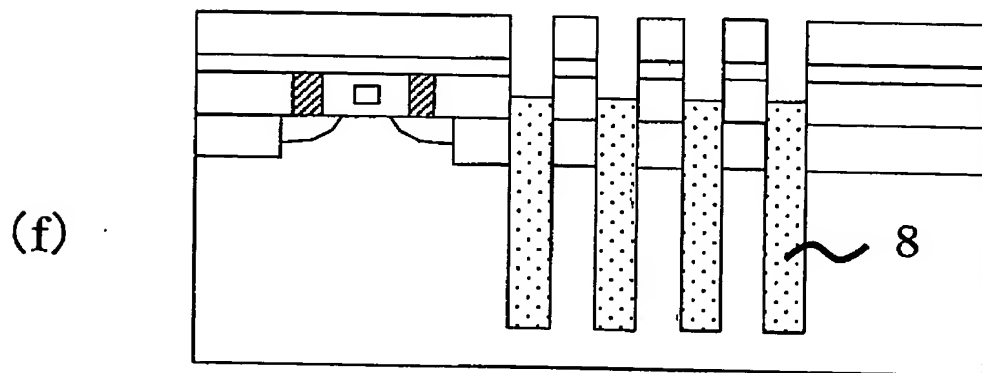
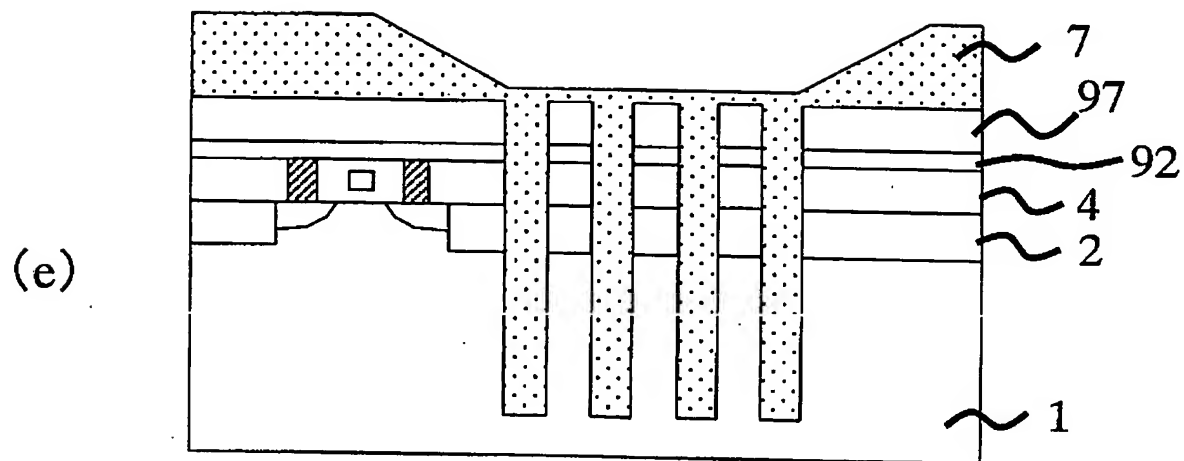
(j)



[図48]

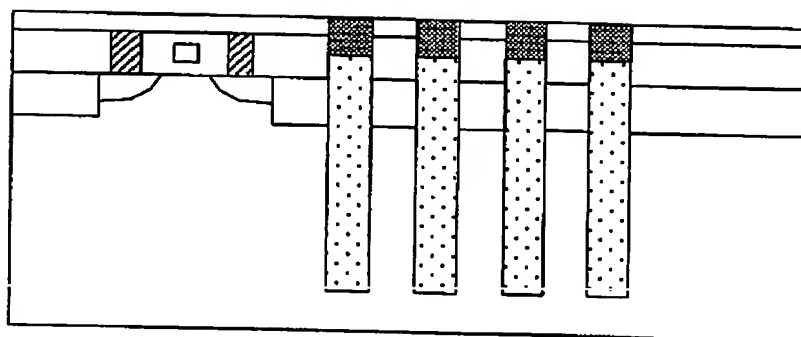


[図49]

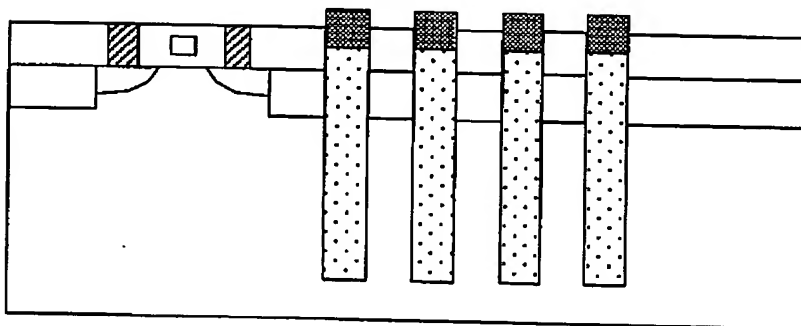


[図50]

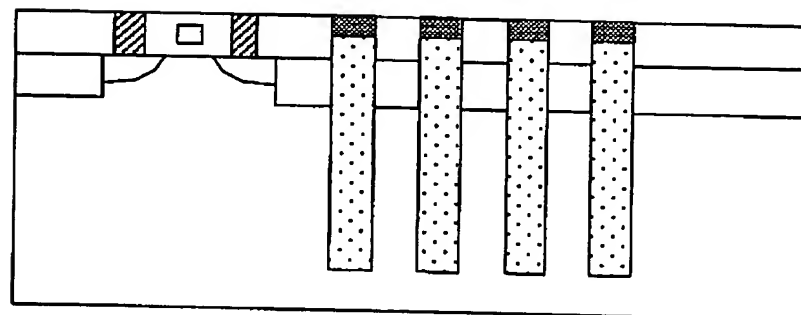
(h)



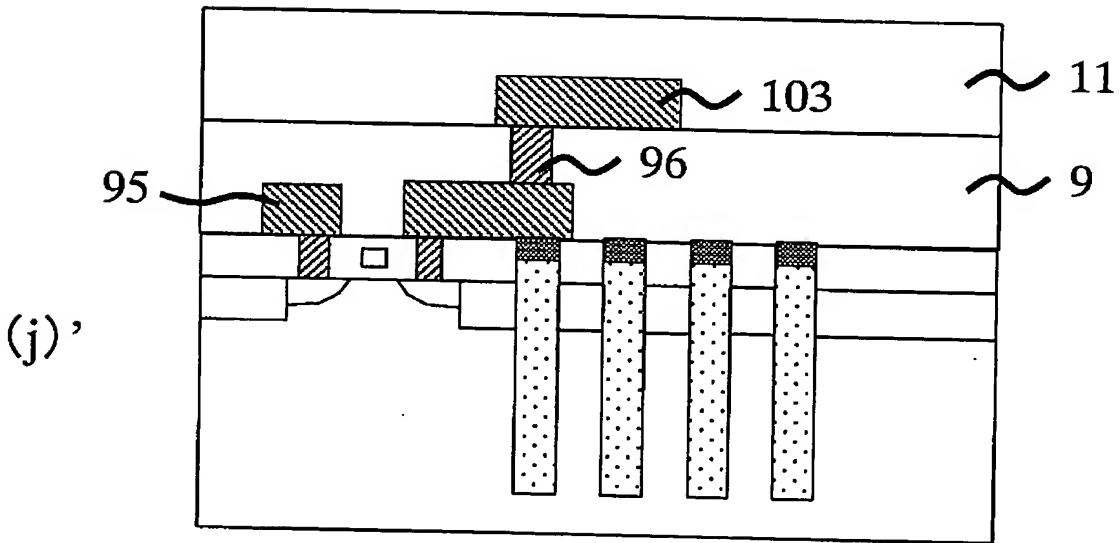
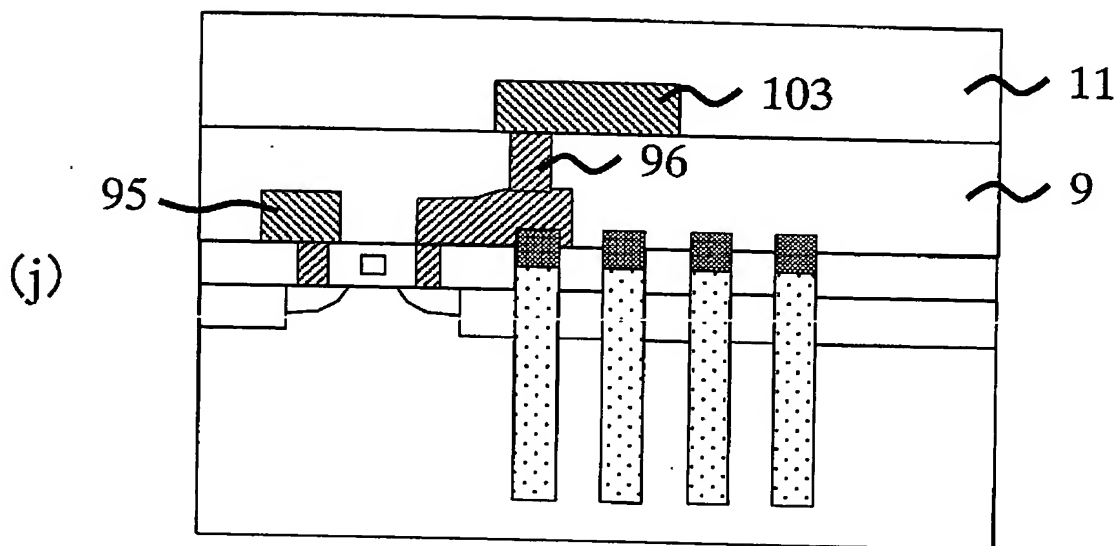
(i)



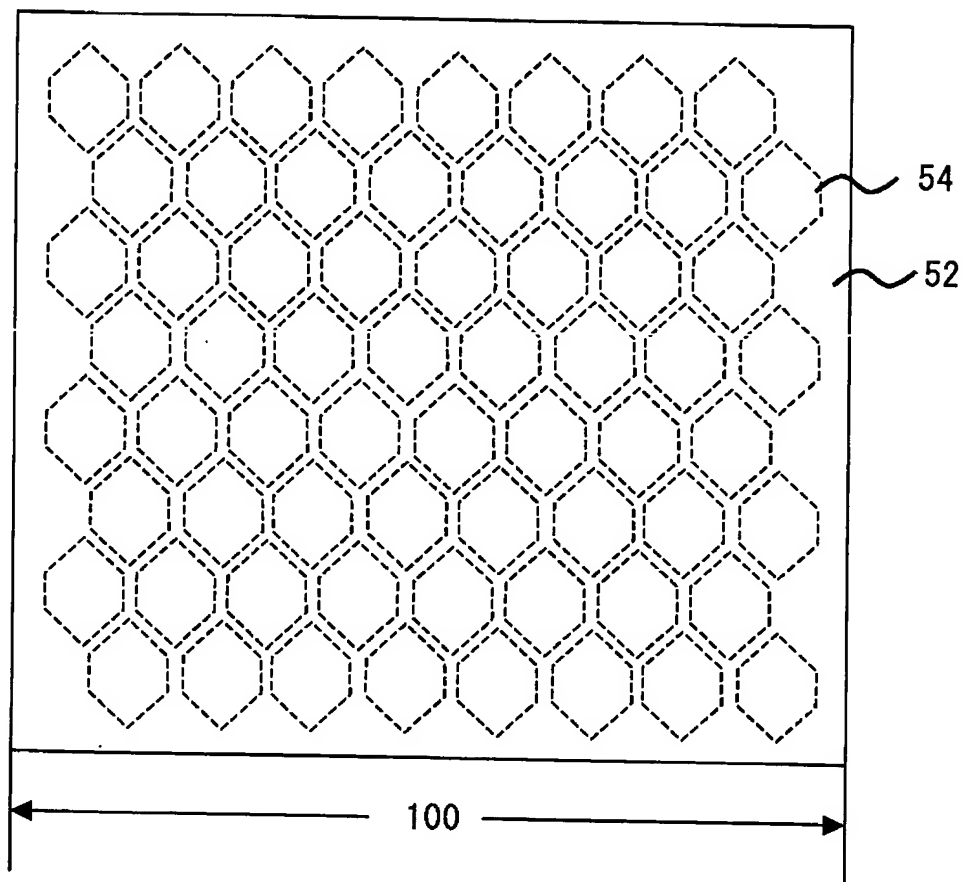
(i)'



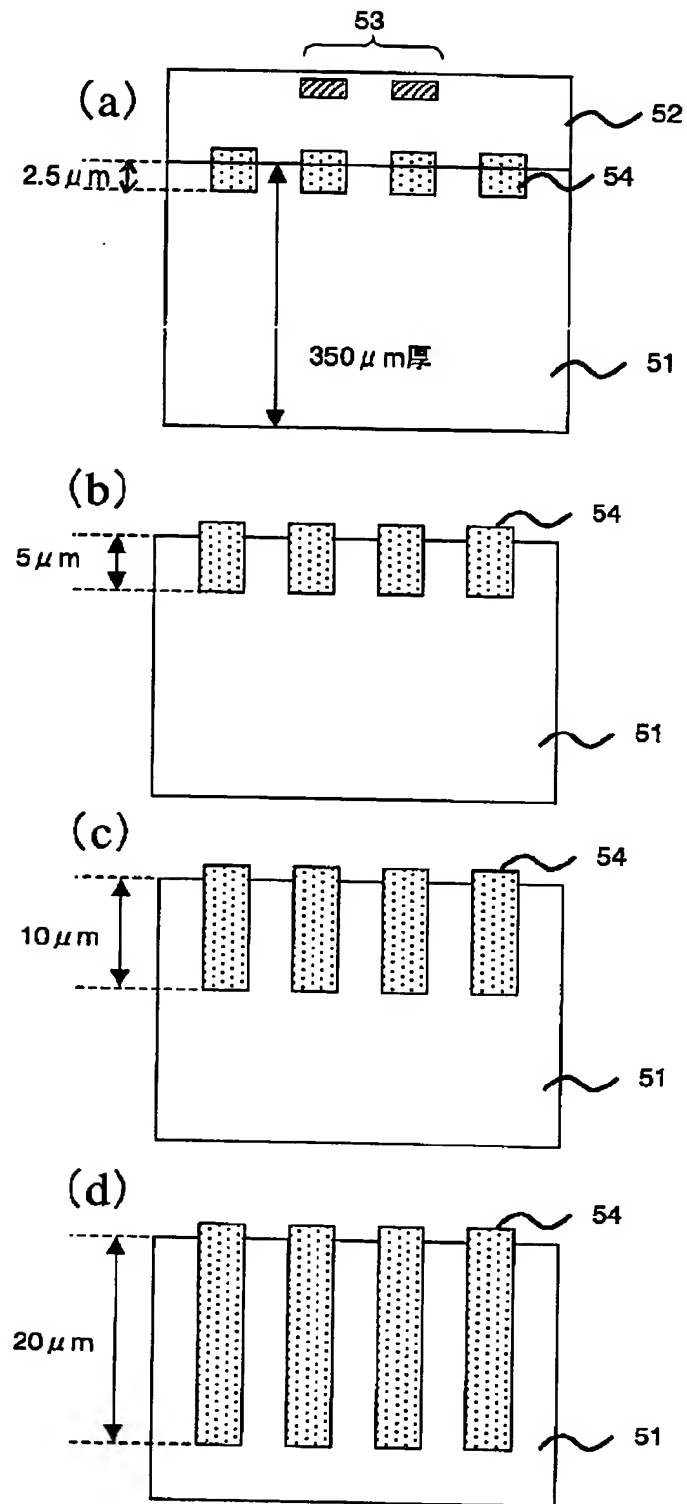
[図51]



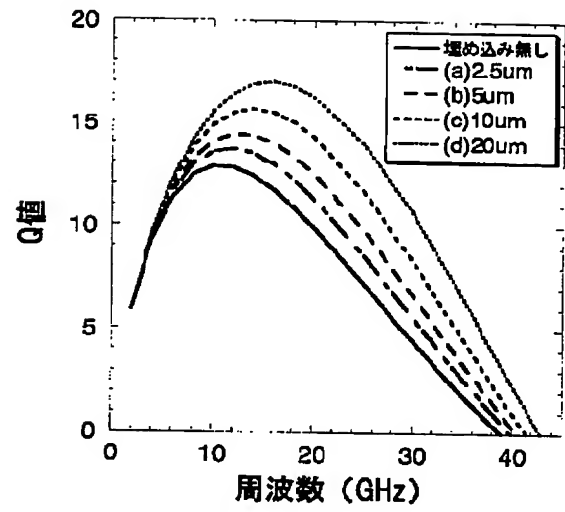
[図52]



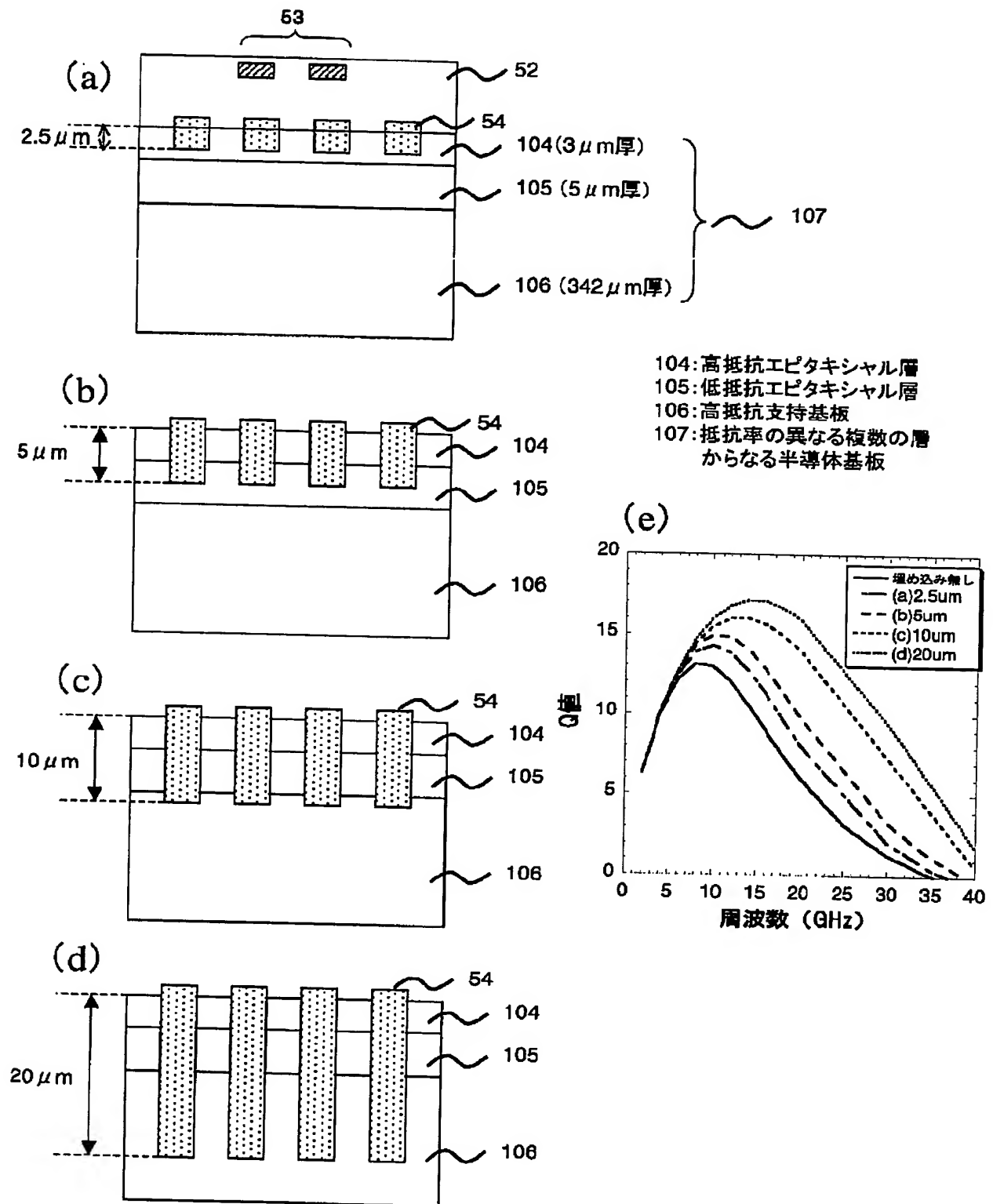
[図53]



(e)



[図54]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008450

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L27/04, H01L21/3205, H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L27/04, H01L21/3205, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 9-181264 A (NEC Corp.), 11 July, 1997 (11.07.97), Par. Nos. [0045] to [0054]; Figs. 4 to 5 & EP 782190 A2 & US 6002161 A & KR 97053591 A	1-2, 5, 15 3, 4, 6-8, 11-14, 16-22, 27-37 23-26
Y A	JP 2000-40786 A (Toshiba Corp.), 08 February, 2000 (08.02.00), Par. No. [0010] (Family: none)	3, 4, 6-8, 11-14, 16-22, 27-37 23-26
Y A	JP 2001-308273 A (Mitsubishi Electric Corp.), 02 November, 2001 (02.11.01), Par. No. [0303] & US 2002/190349 A1 & DE 10062232 A & FR 2808122 A & KR 1098377 A	4, 6-8, 11-14, 16-22, 27-37 23-26

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
14 September, 2004 (14.09.04)

Date of mailing of the international search report  
12 October, 2004 (12.10.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008450

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 09-213894 A (Nippon Telegraph And Telephone Corp.), 15 August, 1997 (15.08.97), Par. Nos. [0010] to [0027]; Figs. 1 to 2 (Family: none)	6-8, 11-14, 16-17, 27-37
Y	JP 7-183458 A (Toshiba Corp.), 21 July, 1995 (21.07.95), Par. Nos. [0017] to [0029]; Figs. 1 to 3 (Family: none)	6-8, 11-14, 16-17, 27-37
Y	JP 2001-284533 A (Oki Electric Industry Co., Ltd.), 12 October, 2001 (12.10.01), Par. Nos. [0019] to [0033]; Figs. 3 to 5 (Family: none)	11-13, 16-17, 27-37
Y A	JP 11-177027 A (Microchip Technology Inc.), 02 July, 1999 (02.07.99), Par. No. [0005]; Figs. 1 to 4 & EP 902475 A2 & KR 99029973 A	18-22, 27-37 23-26
Y A	JP 10-154795 A (Advanced Materials Engineering Research Inc.), 09 June, 1998 (09.06.98), Par. Nos. [0017] to [0018]; Fig. 22 (Family: none)	18-22, 27-37 23-26
Y	JP 2000-40789 A (International Business Machines Corp.), 08 February, 2000 (08.02.00), Par. Nos. [0017] to [0022]; Fig. 1 (Family: none)	21, 27-37
Y A	JP 2002-305110 A (ST Microelectronics S.A.), 18 October, 2002 (18.10.02), Par. Nos. [0029] to [0039]; Figs. 4 to 6 & US 2002/113290 A1 & EP 1231615 A1 & FR 2820875 A1	22, 27-37 23-26
Y	JP 2002-289784 A (Seiko Epson Corp.), 04 October, 2002 (04.10.02), Par. Nos. [0002] to [0004]; Fig. 8 (Family: none)	27-33

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008450

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to claims 1-8 and 11-37 is a structure "wherein a plurality of substrate openings, which reach the inside of a semiconductor substrate by penetrating the lowermost interlayer insulating film, are formed in a low capacitance substrate region, and a low dielectric constant insulating material is buried therein", while the technical feature common to claims 9 and 10 is a structure "wherein a high magnetic permeability region arranged in an interlayer insulating film is formed by filling a film opening penetrating through the interlayer insulating film to another interlayer insulating film with a high magnetic permeability material".  
(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-8 and 11-37

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008450

Continuation of Box No.III of continuation of first sheet(2)

Since there is no common technical feature between the group of claims 1-8, 11-37 and the group of claims 9, 10, no technical relationship within the meaning of PCT Rule 13 can be seen between the group of claims 1-8, 11-37 and the group of claims 9, 10. Consequently, it is obvious that the group of claims 1-8, 11-37 and the group of claims 9, 10 do not satisfy the requirement of unity of invention.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L27/04, H01L21/3205, H01L21/768

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L27/04, H01L21/3205, H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 9-181264 A (日本電気株式会社) 1997. 07. 11, 段落番号【0045】-【0054】, 図4-5 & EP 782190 A2 & US 6002161 A & KR 97053591 A	1-2, 5, 15 3, 4, 6-8, 11-14, 16-22, 27-37 23-26
Y A	JP 2000-40786 A (株式会社東芝) 2000. 02. 08, 段落番号【0010】 (ファミリーなし)	3, 4, 6-8, 11-14, 16-22, 27-37 23-26

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

14. 09. 2004

国際調査報告の発送日

12.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J.P.)  
郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4 L

9361

電話番号 03-3581-1101 内線 3498

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2001-308273 A (三菱電機株式会社) 2001. 11. 02, 段落番号【0303】 & US 2002/190349 A1 & DE 10062232 A & FR 2808122 A & KR 1098377 A	4, 6-8, 11-14, 16-22, 27-37 23-26
Y	JP 09-213894 A (日本電信電話株式会社) 1997. 08. 15, 段落番号【0010】-【0027】, 図1-2 (ファミリーなし)	6-8, 11-14, 16-17, 27-37
Y	JP 7-183458 A (株式会社東芝) 1995. 07. 21, 段落番号【0017】-【0029】, 図1-3 (ファミリーなし)	6-8, 11-14, 16-17, 27-37
Y	JP 2001-284533 A (沖電気工業株式会社) 2001. 10. 12, 段落番号【0019】-【0033】, 図3-5 (ファミリーなし)	11-13, 16-17, 27-37
Y A	JP 11-177027 A (マイクロチップ テクノロジー インコーポレイテッド) 1999. 07. 02, 段落番号【0005】, 図1-4 & EP 902475 A2 & KR 99029973 A	18-22, 27-37 23-26
Y A	JP 10-154795 A (アドバンスド マテリアル エン ジニアリング リサーチ インコーポレイテッド) 1998. 06. 09, 段落番号【0017】-【0018】, 図22 (ファミリーなし)	18-22, 27-37 23-26
Y	JP 2000-40789 A (インターナショナル ビジネス マシーンズ コーポレイション) 2000. 02. 08, 段落番号【0017】-【0022】, 図1参照 (ファミリーなし)	21, 27-37
Y A	JP 2002-305110 A (エステーミクロエレクトロニ クス ソシエテ アノニム) 2002. 10. 18, 段落番号【0029】-【0039】, 図4-6 & US 2002/113290 A1 & EP 1231615 A1 & FR 2820875 A1	22, 27-37 23-26
Y	JP 2002-289784 A (セイコーエプソン株式会社) 2002. 10. 04, 段落番号【0002】-【0004】, 図8 (ファミリーなし)	27-33

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求の範囲1乃至8及び11乃至37に共通の事項は、「低容量基板領域には最下層の層間絶縁膜を貫き半導体基板内部に至る複数の基板開口が形成され、低誘電率絶縁物が埋設されている」構造であり、請求の範囲9乃至10に共通の事項は、「層間絶縁膜中に配設された高透磁率領域が、層間絶縁膜を貫通して他の層間絶縁膜に到達する膜開口を高透磁率材料で埋め込んで形成された」構造である。請求の範囲1乃至8及び11乃至37と、請求の範囲9乃至10とは、共通の事項を有さないから、請求の範囲1乃至8及び11乃至37と、請求の範囲9乃至10との間にPCT規則13の意味における技術的な関連を見いだすことはできない。よって、請求の範囲1乃至8及び11乃至37と、請求の範囲9乃至10は発明の単一性の要件を満たしていないことが明らかである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。  
請求の範囲1乃至8、及び請求の範囲11乃至37

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。